МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Факультет автоматики и вычислительной техники Кафедра электронных вычислительных машин

Допускаю к защите Руководитель проекта

Мельцов В.Ю\_

подпись фамилия, инициалы

« » 20 г.

«РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО- ЛОГИЧЕСКОГО УСТРОЙСТВА» ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовому проекту

по дисциплине «Проектирование цифровых устройств» ТПЖА. 09.03.01.071 ПЗ

Студент Группы ИВТ-31 / Альмухаметов М.И.

подпись фамилия, инициалы

Руководитель / Мельцов В.Ю.

подпись фамилия, инициалы

Проект защищен с оценкой

дата защиты

Комиссия ( Мельцов В.Ю. )

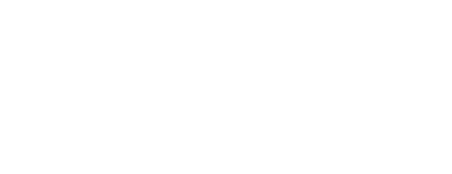
подпись фамилия, инициалы

( Клюкин В.Л. )

подпись фамилия, инициалы

Киров 2016

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Содержание [Введение 4](#_bookmark0)   1. [Постановка задачи 5](#_bookmark1) 2. [Описание алгоритмов функционирования арифметико-логического](#_bookmark2) [устройства 6](#_bookmark2)    1. [Описание алгоритма операции умножения 6](#_bookmark3)    2. [Описание алгоритма операции сложения модулей 8](#_bookmark4)    3. [Описание алгоритма операции вычитания 9](#_bookmark5)    4. [Описание алгоритма операции декремента 11](#_bookmark6)    5. [Описание алгоритма операции «НЕ-А ИЛИ B» 12](#_bookmark7)   [3 Численные примеры для операций арифметико-логического устройства .. 13](#_bookmark8) [3.1 Примеры операции умножения 13](#_bookmark9)   * + 1. [Операция умножения без исключительных ситуаций 13](#_bookmark10)     2. [Операция умножения с возникновением устранимого ПРС 14](#_bookmark11)     3. [Операция умножения с возникновением ПМР при сложении порядков15](#_bookmark12)     4. [Операция умножения с возникновением ПРС при сложении порядков 15](#_bookmark13)     5. [Операция умножения, когда множитель (или множимое) равно нулю . 15](#_bookmark14)   1. [Примеры операции сложения модулей/вычитания 16](#_bookmark15)      1. [Пример операции с возникновением ПРС при сдвиге вправо 16](#_bookmark16)      2. [Пример возникновения ситуации ПМР при нормализации 16](#_bookmark17)   2. [Пример операции декремент 17](#_bookmark18)   3. [Пример операции «НЕ-А ИЛИ B» 18](#_bookmark19) | | | | | | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071* | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | *Разработка операционной части арифметико-логического устройства* | *Лит.* | | | *Лист* | | *Листов* |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |  |  |  | *2* | | *92* |
| *Разраб.* | | *Альмухаметов* |  |  |
| *Провер.* | | *Мельцов* |  |  |
| *Реценз.* | |  |  |  |  | | | |  | |
| *Реценз.* | |  |  |  |  | *ВятГУ* | | | | | |
| *Н. Контр.* | |  |  |  |
| *Утверд.* | |  |  |  |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1. [Разработка функциональных схем для отдельных операций 19](#_bookmark20)    1. [Функциональная схема для операции умножения 19](#_bookmark21)    2. [Функциональная схема для операции сложения модулей и вычитания .. 21](#_bookmark22)    3. [Функциональная схема для операции декремента 24](#_bookmark23)    4. [Функциональная схема для операции НЕ-А ИЛИ B 27](#_bookmark24) 2. [Описание ГСА отдельных операций 29](#_bookmark25)    1. [Описание ГСА для операции умножения 29](#_bookmark26)    2. [Описание ГСА для операции сложения модулей /вычитания 31](#_bookmark27)    3. [Описание ГСА для операции декремента 32](#_bookmark28)    4. [Описание ГСА для логической операции НЕ-А ИЛИ B 33](#_bookmark29) 3. [Разработка объединенной функциональной схемы 34](#_bookmark30) 4. [Разработка объединенной ГСА 37](#_bookmark31) 5. [Разработка и описание принципиальной схемы ОЧ АЛУ 38](#_bookmark32) 6. [Расчет фильтра питания 53](#_bookmark33) 7. [Расчет длительности такта и разработка тактового генератора 57](#_bookmark34) 8. [Разработка тактового генератора 59](#_bookmark35) 9. [Расчет быстродействия 62](#_bookmark36)   [Заключение 71](#_bookmark37)  [Список сокращений 72](#_bookmark38)  [Библиографический список 73](#_bookmark39)  [Приложение А 74](#_bookmark42)  [(Обязательное) 74](#_bookmark41)  [Функциональные схемы отдельных операций 74](#_bookmark40)  [Приложение Б 79](#_bookmark43)  [(Обязательное) 79](#_bookmark44)  [Содержательные схемы алгоритмов 79](#_bookmark45)  [Приложение В 86](#_bookmark46)  [(Обязательное) 86](#_bookmark47)  [Внешний вид разъема СНП34-135Р 86](#_bookmark48)  [Приложение Г 87](#_bookmark49)  [(обязательное) 87](#_bookmark50)  [Перечень элементов 87](#_bookmark51) | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *3* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Введение  В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.  Разработка АЛУ для конкретной вычислительной машины позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.  Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *4* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1 Постановка задачи  Разработать операционную часть АЛУ для реализации следующих операций:   1. Умножение IV способом с плавающей запятой в дополнительном коде с порядками c автоматической коррекцией; 2. Сложение модулей; 3. Вычитание; 4. Декремент; 5. НЕ-А ИЛИ B;   Разрядность операндов – 32. 32 разряд – знаковый, 31-23 разряды – порядок, 22-0 – мантисса.  После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:   1. ПРС; 2. Равенство результата нулю; 3. Знак результата; 4. Перенос из старшего разряда.   Разработанное устройство должно удовлетворять следующим требованиям:   1. Минимизация аппаратурных затрат; 2. Приемлемое быстродействие; 3. Приемлемая потребляемая мощность. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *5* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 2 Описание алгоритмов функционирования арифметико-логического устройства  В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые, с точки зрения построения автомата, ситуации при выполнении данных операций.  2.1 Описание алгоритма операции умножения  Алгоритм умножения состоит из следующих шагов:   1. Считать множимое; 2. Проверить множимое на равенство нулю:    * если множимое равно нулю, то операцию умножения прекратить, результат равен нулю;    * если множимое не равно нулю, то перейти к п.3; 3. Считать множитель 4. Проверить множитель на равенство нулю:    * Если множитель равен нулю, то операцию умножения прекратить, результат равен нулю;    * Если множитель не равен нулю, то перейти к п.5; 5. Определить порядок произведения путем сложения порядков исходных сомножителей; 6. Проверить сумму порядков на ПРС и ПМР (Если при сложении порядков положительного знака в результате получен порядок, знак которого отличается от знаков операндов, то эта ситуация | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *6* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| сигнализирует о возникновении ПРС, при котором следует прекратить операцию умножения. Особого внимания требует ситуация, когда «1» в знаковом разряде порядка, а во всех остальных  – нули. Это может быть, как признак временного ПРС (в дальнейшем, если возникает необходимость в нормализации мантиссы результата, устраняется, в противном случае нужно выдать сигнал «ПРС»), так и ПМР, при котором результат равен 0). ПМР возникает при получении положительного знака суммы порядков, когда знаки порядков исходных операндов были отрицательными. В противном случае перейти к п.7;   1. Цикл умножения (анализируются сразу две смежные цифры множителя, знаковый и старший разряд) по следующим правилам:    * если знаковый разряд множителя равен единице, а цифра соседнего старшего разряда множителя равна нулю (10), то множимое надо вычитать из предыдущей частной суммы;    * если знаковый разряд множителя равен нулю, а цифра соседнего старшего разряда множителя равна единице (01), то множимое надо складывать с предыдущей частной суммой;    * если анализируемые цифры совпадают (00, 11), то никаких операций не производится;    * сдвиги производятся на один разряд. Множимое сдвигается в сторону старших разрядов, а множитель в сторону младших (правило сдвига отрицательных чисел в ДК: при сдвиге влево освобождающиеся младшие разряды заполняются нулями, при сдвиге вправо освобождающиеся старшие разряды заполняются единицами);    * Окончание цикла умножения происходит, когда все разряды множимого равны нулю;    * результат получается в ДК со знаком; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *7* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1. Если было зафиксировано временное ПРС и в нормализации нет необходимости, то произошло истинное ПРС, иначе, когда необходима нормализация, произведение сдвигается на один разряд влево и вычитается единица из порядка произведения, проверяется признак ПМР, в случае которого необходимо выдать результат равный нулю, иначе перейти к п.9. 2. Выдать результат   2.2 Описание алгоритма операции сложения модулей  Алгоритм сложения состоит из следующих шагов:   1. Считать первый операнд; 2. Считать второй операнд; 3. Выполнить вычитание порядков; 4. Проверить на ПРС:    * если до вычитания в знаковых разрядах порядков обоих чисел был нуль, а в результате вычитания в знаковом разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию;    * иначе перейти к п. 5. 5. Проверить на ПМР:    * если в знаковых разрядах порядков обоих чисел была единица, а после вычитания в знаковом разряде результата оказался нуль, то произошла ПМР. Выдать результат равный нулю;    * иначе перейти к п. 6. 6. Выполнить сравнение разности порядков с -23 и 23: | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *8* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * если разность порядков >=23, то выдать первый операнд в качестве результата сложения; * если разность порядков <=-23, то выдать второй операнд в качестве результата сложения; * иначе, перейти к п. 7;  1. Выровнять порядки путем сдвигов мантиссы одного из чисел вправо и уменьшение порядка на единицу. Выполнять пока разность не окажется равной 0; 2. Сложить модули мантисс чисел; 3. Если в знаковом разряде результата оказалась 1, то необходимо сдвинуть мантиссу суммы на один разряд вправо, увеличить порядок на 1, а также установить флаг переноса и перейти. Проверить на возникновение ПРС в порядках. Если ПРС произошло – установить флаг ПРС и прекратить операцию. Иначе перейти к п. 10; 4. Нормализовать результат; 5. Если при нормализации произошла ПМР в порядках, выдать результат равный нулю; 6. Выдать результат;   2.3 Описание алгоритма операции вычитания  Алгоритм вычитания состоит из следующих шагов:   1. Считать первый операнд; 2. Считать второй операнд; 3. Выполнить вычитание порядков; 4. Проверить на ПРС:    * если до вычитания в знаковых разрядах порядков обоих чисел был нуль, а в результате вычитания в знаковом | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *9* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию;   * иначе перейти к п. 5.  1. Проверить на ПМР:    * если в знаковых разрядах порядков обоих чисел была единица, а после вычитания в знаковом разряде результата оказался нуль, то произошла ПМР. Выдать результат равный нулю;    * иначе перейти к п. 6. 2. Выполнить сравнение разности с -23 и 23:    * если разность порядков >=23, то выдать первый операнд в качестве результата вычитания;    * если разность порядков <=-23, то выдать второй операнд в качестве результата вычитания;    * если перечисленные выше условия не выполняются, перейти к п. 7; 3. Выровнять порядки путем сдвигов мантиссы одного из чисел вправо и уменьшение разности на 1. Выполнять пока разность не окажется равной 0; 4. Вычесть модули мантисс чисел; 5. Если знак первого операнда равен 1, второго операнда равен 0 и результирующий знак равен 0, то необходимо выполнить денормализацию мантиссы результата и увеличить порядок результата на 1, проверив ситуацию с ПРС в порядках. 6. Нормализовать результат; 7. Если при нормализации произошла ПМР в порядках, выдать результат равный нулю; 8. Выдать результат; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *10* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 2.4 Описание алгоритма операции декремента  Особенностью данной операции является то, что сначала нужно сформировать «-1» и использовать ее в качестве второго операнда. Для упрощения операции формироваться будет не единица, а число «-0.999999», поскольку порядок – 1, что усложняет сравнение порядка операнда с 23, так как порядок придется сравнивать не с модулем числа 23, а с числами 24 и -22. Так же в данной операции невозможна ситуация ПРС, так как при порядке >= 23 выдается сам операнд, а сдвиги вправо возможны только при  порядках < -23.  Алгоритм операции:   1. Считать операнд; 2. Представить -1 в качестве второго операнда.    * Если порядок первого операнда >=23, выдать операнд в качестве результата;    * Если порядок первого операнда <=-23, выдать -1 в качестве результата; 3. Сложить операнды; 4. Установить флаг переноса; 5. Установит флаг знака и равенства результата нулю; 6. Выдать результата на шину. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *11* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 2.5 Описание алгоритма операции «НЕ-А ИЛИ B»  Особенностью данной операции является то, что логическая операция проводится только над мантиссами и в качестве порядка результата используется порядок первого операнда.  Алгоритм операции:   1. Считать первый операнд; 2. Инверсное значение мантиссы первого операнда взять по ИЛИ с мантиссой второго операнда; 3. Если получившийся результат равен нулю, обнулить порядок и установить флаг равенства нулю; 4. Нормализовать результат; 5. Если при нормализации произошла ПМР, обнулить результат и установить флаг равенства нулю; 6. Установить флаги; 7. Выдать результат на шину; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *12* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 3 Численные примеры для операций арифметико-логического устройства  3.1 Примеры операции умножения  3.1.1 Операция умножения без исключительных ситуаций  A=3.62510 Мантисса (ДК): 0.11101002 Порядок: 0.0102  B=-5.7510 Мантисса (ДК): 1.01001002 Порядок: 0.0112  Сложение порядков: 0.010  0.011  0.101 (ПРС не возникло)  Таблица 1 – Умножение мантисс  Множитель ← Множимое → Сумма ЧП Комментарий  0,0000000 0000000  0,1110100 1,0100100 0000000 1,0100100 0000000 Сложение  1,0100100 0000000  1,1101000 1,1010010 0000000 1,0100100 0000000 Сдвиг  1,1010000 1,1101001 0000000 1,0100100 0000000 Сдвиг  1,0100100 0000000 Сдвиг  1,0100000 1,1110100 1000000 0,0001011 1000000  1,0101111 1000000 Вычитание  1,0101111 1000000  0,1000000 1,1111010 0100000 1,1111010 0100000 Сдвиг  1,0101001 1100000 Сложение  1,0101001 1100000 Сдвиг  1,0000000 1,1111101 0010000 0,0000010 1110000 Вычитание  1,0101100 1010000  0,0000000 1,1111110 1001000 1,0101100 1010000 Сдвиг  (A\*B) ДК=1,010110010100002  (A\*B) ПК=1,101001101100002  Результат: -10100,110112 = -20.8437510 Проверка: 3,625\*(-5,75) = -20,84375 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *13* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 3.1.2 Операция умножения с возникновением устранимого ПРС A= 16 Мантисса: 0.1000002 Порядок: 0.1012  B= 4 Мантисса: 0.1000002 Порядок: 0.0112  Сложение порядков: 0.101  0.011  1.000 временное ПРС!  Таблица 2 – Умножение мантисс  Множитель ← Множимое → Сумма ЧП Комментарий  0,0000000 0000000  0,1000000 0,1000000 0000000 0,1000000 0000000 Сложение  0,1000000 0000000  0,1000000 0000000  1,0000000 0,0100000 0000000 0,0100000 0000000 Сдвиг  0,0100000 0000000  0,0000000 0,0010000 0000000 0,0100000 0000000 Сдвиг  (A\*B) ДК=0,0100000 0000000  (A\*B) ПК=0,0100000 0000000  Мантисса не нормализована, следовательно, так как было зафиксировано временное ПРС, оно устранится. Сдвинем произведение на один разряд влево, вычтем «1» из порядка произведения.  1.000  1.111  0.111 = 0.111  Временное ПРС было устранено. Продолжаем операцию умножения. Результат: 10000002 = 6410  Проверка: 16\*4 = 64 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *14* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 3.1.3 Операция умножения с возникновением ПМР при сложении порядков  A= 0.023437510 Мантисса: 0.11000002 Порядок: 1.0112  B= 0.007812510 Мантисса: 0.10000002 Порядок: 1.0102  Сложение порядков: 1.011  1.010  0.101 ПМР!  ПМР. Прекращаем операцию умножения, вывести результат, равный нулю.  3.1.4 Операция умножения с возникновением ПРС при сложении порядков  A= 7.25 Мантисса: 0.11101002 Порядок: 0.0112  B= 46 Мантисса: 0.10111002 Порядок: 0.1102  0.011  0.110  1.001 ПРС!  ПРС. Прекращаем операцию умножения, выдаем сигнал о ПРС.  3.1.5 Операция умножения, когда множитель (или множимое) равно  нулю  A= 0 Мантисса: 0.00000002 Порядок: 0.0012  B= 6 Мантисса: 0.11000002 Порядок: 0.1012 Множимое равно нулю. Результат 0. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *16* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 3.2 Примеры операции сложения модулей/вычитания  3.2.1 Пример операции с возникновением ПРС при сдвиге вправо А=6410;  Мантисса: 0.1000002;  Порядок: 0.111; B=6410;  Мантисса: 0.1000002;  Порядок: 0.111;  Сложение: 0.100000 (ПК)  0.100000 (ПК)  1.000000 (ПК) – ПРС  Произошло временное ПРС. Устанавливаем флаг переноса. Сдвигаем мантиссу на 1 разряд вправо и увеличивает порядок на 1:  Увеличение порядка:  0.111 (ПК) 0.001 (ПК)  1.000 (ПК) - ПРС  Произошло ПРС в порядках. Устанавливаем флаг ПРС. Прекращаем операцию сложения.  3.2.2 Пример возникновения ситуации ПМР при нормализации  А=6410;  Мантисса: 0.1100002;  Порядок: 1.111; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *17* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| B=7210;  Мантисса: 0.1001002;  Порядок: 1.111;  Сложение: 0.110000 (ПК)  0.100100 (ПК)  0.010000 (ПК)  Нормализуем результат. Для этого сдвинем мантиссу влево и уменьшим порядок на 1:  Уменьшение порядка:  1.001 (ДК) 1.111 (ДК)  1.000 (ПК) – ПМР  Произошло ПМР. Обнуляем результат и выдаем ответ – 0.  3.3 Пример операции декремент А=310;  Мантисса: 0.11000002;  Порядок: 0.0102; B=-0.992110;  Мантисса: 1.00000012;  Порядок: 0.0002;  Произведем выравнивание порядков – сдвинем мантиссу второго операнда вправо на 2 разряда и увеличим его порядок на 2. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *18* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Мантисса: 1.11000002;  Порядок: 0.0102;  Сложение:  0.1100000 (ПК)  1.1100000 (ПК)  0.1000000 (ПК)  Мантисса: 0.10000002;  Порядок: 0.0102;  Ответ: 2  3.4 Пример операции «НЕ-А ИЛИ B»  Таблица истинности для операции «НЕ-А ИЛИ B» A B Y  0 0 1  0 1 1  1 0 0  1 1 1  А= 0 10;  Мантисса: 0.0000000;  Порядок: 0.0002;  B= 1;  Мантисса: 0.10000002;  Порядок: 0.0012;  0.1111111  0.1000000  0.1111111  В качестве порядка результата берем порядок первого операнда. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *19* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1. Разработка функциональных схем для отдельных операций    1. Функциональная схема для операции умножения   В результате разработки функциональной схемы для операции умножения был получен ОА, содержащий следующие элементы:   * + - 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы множимого;     - 47 разрядный сдвиговый регистр RG2 для хранения мантиссы множителя;     - 47 разрядный сдвиговый регистр RG3 для хранения мантиссы СЧП;     - 8-разрядный регистр RG4 для хранения порядков;     - 24-х входовой элемент КС1 «или» для определения окончания операции;     - 47 разрядный управляемый инвертор КС2 для инвертирования множителя;     - 47 разрядный управляемый элемент КС3 «и» для формирования нуля, добавляемого к СЧП;     - 8 разрядный управляемый инвертор КС4 для инвертирования порядка (перевод в ДК);     - 7 разрядный управляемый инвертор КС5 для инвертирования суммы порядков;     - 7 входовой элемент КС6 «или» для проверки порядка на «00…00»     - 47 разрядный сумматор SM1 для суммы частичных произведений;     - 8-разрядный сумматор SM2 для сложения порядков;     - 8-разрядный счетчик CT для хранения порядка произведения; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *20* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * D-триггер для хранения знака порядка множимого; * D-триггер для хранения знака результата; * Элемент «или» для проверки числа на нуль; * Элемент сложения «по модулю два» для выбора «0» как слагаемого суммы частичных произведений; * Элемент «и» для подачи единицы на вход CRP сумматора SM1; * Элемент «и» для подачи сигнала на сдвиг RG3; * R-S-триггер для хранения флага признака ПРС; * R-S-триггер для хранения флага знака; * D-триггер для флага переноса; * D-триггер для флага нулевого результата; * Усилитель-формирователь для выдачи результата на выходную шину.   Для выполнения операции умножения управляющий автомат формирует управляющие сигналы, которые затем подаются в операционный автомат. Сигналы реализуют следующие микрооперации:   * + y0 – сброс T2,T4, RG3;   + y1 – запись в RG1, T5;   + y2 – сдвиг RG1 влево, RG2 вправо, запись в T6;   + y3 – запись в RG2, RG4;   + y4 – запись в RG3;   + y5 – запись в CT1;   + y6 – вычитание 1 из счетчика CT1, сдвиг RG3;   + y7 – запись 1 в Т1;   + y8 – запись 1 в Т4;   + y9 – выдача результата на шину. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *21* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Из операционного устройства в управляющий поступают осведомительные сигналы о состоянии ОА, выполняющие следующие логические условия:   * X – проверка наличия операндов на входной шине; * p0 – проверка на окончание цикла умножения; * p1 – проверка числа на 0; * p2 – проверка нормализации мантиссы результата; * p3 – проверка на ПРС; * p4 – проверка на временное ПРС; * p5 – проверка на ПМР; * p6 – проверка знака суммы порядков; * Z – проверка возможности выдачи результата на выходную шину.   Разработанная ФС представлена на рисунке А.1.  4.2 Функциональная схема для операции сложения модулей и вычитания  В результате разработки функциональной схемы для операций сложения модулей и вычитания был получен операционный автомат, содержащий следующие элементы:   * 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы второго операнда; * 8-разрядный счетчик СТ1 для хранения порядка второго операнда; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *22* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * 24-х разрядный управляемый инвертор для инвертирования мантисс; * 8-разрядный управляемый инвертор для инвертирования порядков операндов; * 8-разрядный сумматор SM2 для вычитания порядков; * 24-х разрядный реверсивный сдвиговый регистр RG2 для хранения мантиссы первого операнда (после выполнения операции – для хранения результата); * 8-разрядный счетчик СТ2 для хранения результата вычитания порядков операндов; * 7-разрядный управляемый инвертор для вывода результата вычитания порядков операндов на выходную шину; * 23-х разрядное логическое ИЛИ для проверки регистра RG2 на ноль; * 8-разрядный компаратор CMP для проверки результата вычитания порядков с ±23; * 7-рязрядная схема логического ИЛИ для проверки на ноль счетчика СТ1; * 7-разрядная схема логического ИЛИ для проверки на ноль счетчика СТ2; * Элемент «И» для проверки на проверки ситуации ПМР в порядках; * Элемент «сложение по модулю 2» для проверки необходимо нормализации; * Элемент «сложение по модулю 2» для управления 8-разрядным инвертором; * Элемент «сложение по модулю 2» для управления 24-х разрядным инвертором; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *23* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * 2 элемента «ИЛИ», 2 элемента «НЕ», 2 элемента «И» для проверки ситуации ПРС в мантиссах; * 2 элемента «сложение по модулю 2», элемент «И» для проверки ситуации ПРС в порядках; * D-триггер для хранения флага признака ПРС; * D-триггер для хранения флага знака; * D-триггер для хранения флага переноса; * D-триггер для хранения флага нулевого результата; * Усилитель-формирователь для выдачи результата на выходную шину.   ОА формирует осведомительные сигналы:   * X – Наличие операнда на шине; * p0 – Проверка регистра RG2 на равенство нулю * р1 – Возникновение переноса из старшего значащего разряда; * р2 – Проверка исключительных ситуаций в порядках; * р3 – знак счетчика СТ1; * р4 – знак счетчика СТ2; * р5 – Разность порядков ≤ -23; * р6 – Разность порядков > 23; * р7 – Проверка счетчика СТ1 на ноль; * р8 – Проверка счетчика СТ2 на ноль; * р9 – Проверка на необходимость нормализации; * p10 – знак регистра RG2 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *24* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ОА выполняет микрокоманду по средствам следующих управляющих сигналов:   * у0 – Обнулить триггеры Т3, Т4, Т5, Т6, Т7, Т8; * у1 – Запись в T4; * у2 – Сдвиг RG1 влево на один разряд; * у3 – Обнуление RG2, СТ2; * у4 – Запись в RG2; * у5 – Сдвиг RG2 влево на один разряд; * у6 – Сдвиг RG2 вправо на один разряд; * у7 – Вычитание 1 из CT1; * у8 – Прибавить 1 в СТ1; * у9 – Инверсия содержимого СТ1; * у10 – Обнуление СТ1; * у11 – Запись в СТ2, T3; * у12 – Вычитание 1 из CT2; * у13 – Прибавить 1 в СТ2; * у14 - Инверсия содержимого RG1; * у15 – Выдача результата на шину;   Разработанная ФС представлена на рисунке А.2.  4.3 Функциональная схема для операции декремента  В результате разработки ФС для операции декремента был получен ОА, содержащий следующие элементы: | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *25* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы операнда; * 8-разрядный счетчик СТ1 для хранения порядка операнда; * 8-разрядный счетчик СТ2 проверки на окончание цикла выравнивания; * 24-х разрядный регистр RG2 для хранения результата операции; * 24-х разрядный сумматор для сложения мантисс; * 23-х разрядная схема логического «ИЛИ» для проверки содержимого регистра RG2 для проверки на нуль; * 7-разрядная схема логического «ИЛИ» для проверки счетчика СТ1 на ноль; * 7-разрядная схема логического «ИЛИ» для проверки счетчика СТ2 на ноль; * 7-разрядный компаратор для проверки порядка операнда с ±23; * Элемент логического «И» для проверки на возникновение исключительной ситуации; * Элемент логического «И» для проверки на возникновение временного ПРС мантисс; * Элемент «сложения по модулю 2» для проверки необходимости нормализации; * R-S-триггер для хранения флага знака; * R-S-триггер для хранения флага признака ПРС; * D-триггер для хранения флага переноса; * D-триггер для хранения флага нулевого результата; * Усилитель-формирователь для выдачи результата на выходную шину. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *26* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ОА формирует осведомительные сигналы:   * p0 – Проверка RG2 на равенство нулю; * р1 – Проверка СТ2 на равенство нулю; * р2 – Знак счетчика СТ2; * р3 – Проверка СТ2 на равенство нулю; * р4 – Исключительная ситуация в порядках; * р5 – Порядок ≥ |23|; * р6 – Необходимость нормализации; * p7 – Временное ПРС мантисс   ОА выполняет микрокоманду по средствам следующих управляющих сигналов:   * у0 – Обнуление регистра RG1, счетчика СТ2, запись в Т1; * у1 – Запись в регистр RG1, счетчики CT1 и CT2; * у2 – Сдвиг регистра RG2 влево на 1 разряд; * у3 – Сдвиг регистра RG1 вправо на 1 разряд; * у4 – управление заполнением разрядов при сдвигах RG1; * у5 – Обнуление регистра RG2; * у6 – Запись в регистр RG2; * у7 – Сдвиг регистра RG2 влево на 1 разряд; * у8 – Сдвиг регистра RG2 вправо на 1 разряд; * у9 – Запись в T4 единицы; * у10 – Вычесть единицу из счетчика СТ1; * у11 – Вычесть единицу из счетчика СТ2; * y12 – Добавить единицу к счетчику СТ2; * y13 – Запись в триггер Т3; * y14 – Выдача результата на шину; Разработанная ФС представлена на рисунке А.3. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *27* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * 1. Функциональная схема для операции НЕ-А ИЛИ B   В результате разработки ФС для операции НЕ-А ИЛИ B был получен ОА, состоящий из следующих элементов:   * + - 24-разрядный регистр RG1 для хранения мантиссы первого операнда;     - 24-разрядная схема логического «ИЛИ»     - 24-разрядный регистр RG2 для хранения результата операции     - 23-разрядная схема логического «ИЛИ» и элемент «НЕ» для проверки содержимого регистра RG2 на ноль;     - Элемент «сложение по модулю 2» для проверки необходимости нормализации;     - 8-разрядный счетчик СТ1 для хранения порядка первого операнда;     - D-триггер для хранения флага знака;     - D-триггер для хранения флага нулевого результата;     - Усилитель-формирователь для выдачи результата на выходную шину.   ОА формирует осведомительные сигналы:   * + - p0 – Проверка содержимого регистра RG2 на ноль;     - p1– знак счетчика СТ1;     - р2 – Проверка необходимости нормализации результата;     - р3 – Проверка на исключительную ситуацию в порядках; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *28* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ОА выполняет микрокоманду по средствам следующих управляющих сигналов:   * y0- Запись триггера T1, обнуление триггера Т3, Т4 * y1- Запись регистра RG1, счетчика CT1 * y2- Обнуление регистра RG2 * y3-Запись регистра RG2 * y4- Сдвиг влево на 1 разряд регистра RG2 * y5- Обнуление счетчика CT1 * y6- Вычесть единицу из счетчика СТ1; * y7- Добавить единицу к счетчику СТ1; * y8 – Выдача результата на шину;   Разработанная ФС представлена на рисунке А.4. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *29* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 5 Описание ГСА отдельных операций  5.1 Описание ГСА для операции умножения  В первом такте производится проверка наличия на входной шине множимого. При поступлении множимого его мантисса со знаком записывается в RG1 и в старшие разряды RG2. Порядок заноситься в СТ1. Так же в данном такте происходит обнуление RG3 и СТ2.  Во втором такте, если множимое равно нулю (p1=1), то выдается результат 0, иначе записывается порядок множимого из счетчика СТ1 в счетчик СТ2 через выход S сумматора SM2, на плече А которого порядок из RG1, если он отрицательный, то инвертируется, на плече B содержимое счетчика СТ1.  В третьем такте производится проверка на входной шине множителя. При поступлении множителя, его мантисса со знаком записывается в старшие разряды регистра RG2, порядок записывается в счетчик СТ1.  В четвертом такте, если множитель нуль (p1=1), то сбрасывается значение счетчика СТ2 и выдается результат 0, иначе в счетчик СТ2 записывается сумма порядков с выхода S сумматора SM1, на плече А которого порядок множителя, инвертированный, если он отрицательный, а на плече B содержимое счетчика СТ1.  В пятом такте проверяются исключительные ситуации. Если возникло ПРС(p3=1), то триггер Т4 устанавливается в единицу и операция умножения прекращается. Если произошла ПМР (p5=1), то сбрасывается значение счетчика СТ2 и регистра RG3, тем самым сформировав нуль на выходной шине. Если ПМР не произошло, то начинается цикл умножения. В триггер Т3 записывается значение выхода CR сумматора SM1. В регистр RG3 записывается значение с выхода S сумматора SM1, где на плечо А подается содержимое регистра RG3, а на плечо B подается значение RG2, | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *30* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| инвертированное, если старший разряд RG1 равен единице или обнуленное, если значения двух старших разрядов RG1 равны «00» или «11». Далее производится запись знака в T6, сдвиг регистров RG1 и RG2 плево и вправо соответственно. После чего если цикл не завершен, он повторяется сначала.  Если цикл завершен (p0=1), то проверяется нормализация мантиссы, если она не нормализована (p2=1), то значение счетчика СТ2 уменьшается на единицу, содержимое RG3 сдвигается влево и проверяется возникновение ПМР, если да(p5=1), то сбрасывается значение счетчика СТ2 и регистра RG3, тем самым сформировав нуль на выходной шине, иначе проверяется, было ли зафиксировано временное ПРС, если да (p4=1), то произошло истинное ПРС, триггер Т4 устанавливается в единицу и операция умножения прекращается. Далее проверяется порядок произведения, если он отрицательный (p6=1), то значение счетчика СТ2 уменьшается на единицу и на выходную шину подается инвертированное содержимое СТ2 – порядок произведения в ПК. Знак подается из триггера Т6.  Разработанная ГСА представлена на рисунке Б.2. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *31* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 5.2 Описание ГСА для операции сложения модулей /вычитания Мантисса первого операнда записывается в регистр RG1, порядок – в  счетчик СТ1, знак порядка записывается в триггер T7. Далее мантисса и порядок перезаписываются в регистр RG2 и счетчик CT2 соответственно. После этого считывается второй операнд.  Выполнить вычитание порядков и записать разность в счетчик СТ2. Если в результате вычитания произошло ПРС порядков – установить флаг о ситуации ПРС и прекратить операцию сложения. После это необходимо сравнить содержимое СТ2 и ±23 (если разность отрицательна (р4=1) в плечо компаратора В подать дополнительный код -23, иначе подать 23). Если разница ≥ 23 (р5 = 1 и р4 = 0), то на шину выдается первый операнд. При разнице ≤ -23 (р5 = 0 и р4 = 1) – обнулить регистр RG2 и счетчик СТ2, перезаписать операнд в RG2 и СТ2 и выдать второй операнд на шину. Если разница лежит в диапазоне от -23 до 23, то необходимо выполнить выравнивание порядков.  Если разница порядков не равна 0 (р8 = 0) – выполнить выравниваем порядков (при отрицательной разности (р4 = 1) – сдвинуть содержимое регистра RG2 на 1 разряд вправо и уменьшить СТ2 на 1, иначе – сдвинуть содержимое регистра RG1 на 1 разряд право, уменьшить содержимое СТ2 и уменьшить содержимое СТ1. Выравнивание выполняется до тех пор, пока разность не станет равной 0 (р8 = 1).  Выполнить сложение/вычитание модулей мантисс. Если результат операции равен 0 либо -0 – обнулить СТ2, установить флаг нулевого результата и выдать результат на шину. После сложения модулей необходимо проверить, был ли перенос из старшего значащего разряда (р1 = 1 или p10=1). В случае возникновения переноса требуется изменить значение разряда при сдвиге мантиссы вправо, занеся его в триггер Т2, денормализовать мантиссу, | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *32* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| занося в сдвиговый разряд значение триггера Т2, и увеличить порядок на 1. Проверить на возникновение ПРС в порядках.  Если число не нормализовано (р2 = 0), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик CT2), продолжать, пока мантисса не станет нормализованной.  Выдать результат на шину.  Разработанная ГСА представлена на рисунке Б.2.  5.3 Описание ГСА для операции декремента  Мантисса первого операнда записывается в регистр RG1, порядок – в счетчик СТ1, знак порядка записывается в триггер T6. Далее мантисса и порядок перезаписываются в регистр RG2 и счетчик CT2 соответственно.  Сформировать «-0.999» в регистре RG1. Сравнить порядок операнда с  «23», если по модулю он больше(p5=1), то в зависимости от знака порядка выдать первый операнд (p2=1) или выдать второй операнд(p2=0).  Выполнить выравнивание порядков (при отрицательном порядке операнда (р2 = 1) – сдвинуть содержимое регистра RG2 на 1 разряд вправо и уменьшить СТ1 на 1, иначе – сдвинуть содержимое регистра RG1 на 1 разряд право, уменьшить содержимое СТ1 и увеличить содержимое СТ2. Выравнивание выполняется до тех пор, пока р3 = 0.  Выполнить операцию декремента, путем сложения RG1 и RG2, записать знак в триггер Т2. Если результат операции равен «0», либо «-0» – обнулить СТ2, установить флаг нулевого результата и выдать результат на шину. После сложения необходимо проверить, был ли перенос из старшего значащего разряда. Если перенос был (р7 = 1) – сдвинуть содержимое регистра RG2 и увеличить порядок на 1. Проверить на возникновение ситуации ПРС в порядках. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *33* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Если число не нормализовано (р2 = 0), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик CT2), продолжать, пока мантисса не станет нормализованной.  Выдать результат на шину.  Разработанная ГСА представлена на рисунке Б.3.  5.4 Описание ГСА для логической операции НЕ-А ИЛИ B  Мантисса первого операнда(инверсированная) записывается в регистр RG1, порядок – в счетчик СТ1. Ожидать появления второго операнда на шине. Выполнить операцию «НЕ-А ИЛИ B» над мантиссами операндов, записать знак операции в триггер Т2. Если результат операции равен 0 либо -  0 – обнулить СТ2, установить флаг нулевого результата (в Т1 записать единицу) и выдать результат на шину.  Если число не нормализован о (р2 = 0), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик CT2), продолжать, пока мантисса не станет нормализованной. Выдать результат на шину.  Разработанная ГСА представлена на рисунке Б.4 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *34* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 6 Разработка объединенной функциональной схемы  За основу объединенной ФС была выбрана схема операции умножения.  Для реализации других операций используются лишь дополнения и небольшие изменения ФС основной операции:   * Вместо регистра RG4 в схеме деления был взят счетчик CT1; * Вместо сумматора SM1 было выбрано ALU; * Добавлен компаратор и КС, необходимые для сравнения порядка операнда с числом ±23; * КС для определения потери старшего разряда * КС для проверки RG2 на ноль; * КС для проверки СТ1 на ноль; * КС для проверки СТ2 на ноль.   Введение АЛУ позволило сократить аппаратурные затраты, так как не пришлось вводить отдельную КС для осуществления логической операции  «НЕ-А ИЛИ B».  Объединенный ОА формирует осведомительные сигналы:   * Х – проверка наличия операнда на шине; * p0 – Проверка на окончание цикла умножения; * p1 – Проверка операнда на нуль; * p2 – Выбор операции в умножении; * p3 – Знак регистра RG1; * p4 – Проверка содержимого СТ1 на ноль без старшего разряда * p5 – Исключительная ситуация при сложении порядков; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *35* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * p6 – Проверка содержимого СТ2 на ноль без старшего разряда; * p7 – Знак операнда в СТ2; * p8 – ПРС при вычитании порядков; * p9 - ПМР при вычитании порядков; * p10 – A>B на компараторе; * р11 – Проверка на ноль CT2; * р12 – Проверка на равенство нулю результата операции; * р13 – Необходимость нормализации; * р14 – Знак операнда в СТ1; * р15 – Знак операнда в RG3; * р16 – Знак операнда в RG2; * р17 – Перенос из старшего значащего разряда в мантиссах; * Z – вывод результата на шину.   Объединенный ОА выполняет микрокоманды с помощью следующих управляющих сигналов:   * y1 – Обнуление RG2; * y2 – Сдвиг RG1влево на 1 разряд; * y3 – запись в RG2, CT1; * y4 – Сдвиг RG2 вправо на 1 разряд; * y5 – Инверсия содержимого RG2; * y6 - Выбор на АЛУ операции А+B * y7 – Выбор на АЛУ операции А-B-1; * y9 – Изменение знака результата; * y10 - Выбор на АЛУ операции НЕ-А ИЛИ B ; * y11 – Формировании единицы при сдвиге RG2; | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *36* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| * y12 – Обнуление RG3, CT2; * y13 – Запись в RG3; * y14 – Сдвиг RG3 на 1 разряд влево; * y15 – Сдвиг RG3 на 1 разряд вправо; * y16 – Запись в Т5, Т6; * y17 – Запись в RG1; * y18 – Вычесть единицу из CT1; * y19 – Прибавить к CT1 единицу; * y20 – Обнуление CT1; * y21 – Запись в СТ2; * y22 – Вычесть единицу из CT1; * y23 – Прибавить к CT1 единицу; * y24 – Инверсия содержимого СТ1; * y25 – Запись Т3. * y26 – Установка флагов * y27– Выдача результата на шину;   Разработанная объединенная ФС представлена на рисунке А.5. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *37* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 7 Разработка объединенной ГСА  Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 3.  Таблица 3  При разработке объединенной ГСА была добавлена вершина выбора кода операции. ГСА операций сложения и вычитания модулей были объединены в одну, поскольку они различаются лишь одной вершиной. Общие части всех ГСА были выделены отдельно.  Разработанная объединенная ГСА представлена на рисунке Б.5. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *38* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |
| --- | --- | --- | --- |
| Операция | КОП | | |
| q2 | q1 | q0 |
| Умножение | 0 | 0 | 0 |
| Сложение модулей | 0 | 1 | 0 |
| Вычитание | 0 | 1 | 1 |
| Декремент | 1 | 0 | 0 |
| НЕ-А ИЛИ B | 0 | 0 | 1 |

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | | |
|  |  |  |
|  |  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 8 Разработка и описание принципиальной схемы ОЧ АЛУ  Для разработки принципиальной схемы были использованы микросхемы ТТЛ серий 1533, 533, 1531.  Перечень требуемых для разработки микросхем представлен в таблице 4.  Таблица 4 – Перечень требуемых микросхем Микросхема Функциональное назначение К1533АП5 Шинный формирователь  К1533ИЕ7 4-х разрядный счетчик К133ИР13 Реверсивный 8- разрядный регистр К1533ИП3 АЛУ  К1533ИП4 Схема ускоренного переноса АЛУ К1533ТМ2 D-триггер  К555ИМ6 4-х разрядный сумматор  К1533ЛИ1 Логическая функция 2И  К1533ЛН1 Логическая функция НЕ  К155ЛП5 Логическая функция XOR  К1533ЛЛ1 Логическая функция ИЛИ Логическая функция 2ИЛИ-НЕ с открытым  К1533ЛЕ11 коллектором К1531СП2 8-разрядный цифровой компаратор  К1533ЛП16 Повторитель с повышенной нагрузочной  способностью Потребляемый микросхемами ток представлен в таблице 5. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *39* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Таблица 5 – Потребляемый микросхемами ток  Общая потребляемая мощность:  𝑃 = 𝑈 ∗ 𝐼 = 5В ∗ 1.4А = 7. Вт  Реверсивный регистр собирается с использованием микросхемы К133ИР13. Способ подключения для наращивания разрядности представлен на рисунке 1. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *40* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |
| --- | --- | --- | --- |
| Микросхема | Количество | Ток одной микросхемы | Суммарный ток |
|  |  |  |  |
| К1533АП5 | 4 | 27мА | 108 мА |
| К1533ИЕ7 | 4 | 22 мА | 88 мА |
| К133ИР13 | 15 | 40мА | 600 мА |
| К1533ИП3 | 12 | 22мА | 264 мА |
| К1533ИП4 | 4 | 15мА | 60 мА |
| К1533ТМ2 | 6 | 4мА | 24 мА |
| К555ИМ6 | 2 | 39мА | 78 мА |
| К1533ЛИ1 | 2 | 4мА | 8 мА |
| К1533ЛН1 | 3 | 4.2мА | 12.6 мА |
| К1533ЛП5 | 7 | 5.9мА | 41.3 мА |
| К1533ЛЛ1 | 4 | 4.9мА | 19.6 мА |
| К1533СП1 | 2 | 11мА | 22 мА |
| К1533ЛЕ11 | 8 | 9мА | 72 мА |
| К1533ЛП16 | 1 | 10,6мА | 10,6мА |
| Всего: | 73 |  | 1.4А |

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 00 03 D0 Q  1 01 05 D1 RG  02 07 D2 ИР13 04 30  y14(л.сдвиг) 09 ЛЛ1 08 S1 03 09 D3 0  04 15 1 06 31  y13(запись) 10 D2.3 05 17 D4 2 08 32  06 19 D5 10 33  1 07 21 D6 3 14 34  ЛЛ1 D7 4  13 11 S0 11 C 5 16 35  y15(п.сдвиг) 02 DR 6 18 36  12 D2.4 LOG 0 22 DL 7 20 37  01 S0  23 S1  LOG 1 13 R D33  08 03 D0 Q  09 05 D1 RG  10 07 D2 ИР13 04 38  11 09 D3 0  12 15 1 06 39  13 17 D4 2 08 40  14 19 D5 10 41  15 21 D6 3  D7 4 14 42  nC 11 C 5 16 43  02 DR 6 18 44  22 DL 7 20 45  01 S0  23 S1  13 R D35  16 03 D0 Q  17 05 D1 RG  18 07 D2 ИР13 04 46  19 09 D3 0  20 15 1 06 47  21 17 D4 2 08 48  22 19 D5 10 49  23 21 D6 3  D7 4 14 50  nC 11 C 5 16 51  02  LOG 0 22 DR 6 18 52  01 DL 7 20 53  S0  23 S1  13 R D36  Рисунок 1 – Соединение регистров для сдвига в сторону младших и  старших разрядов  Временная диаграмма работы реверсивного регистра представлена на рисунке 2. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *41* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Q  nC  y13  (Запись)  y15 (п.сдвиг)  y14  (л.сдвиг)    R  S0  S1  t  t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16  Рисунок 2 – Временная диаграммы работы реверсивного регистра Для увеличения разрядности сумматора выход CR соединяют со входом  переноса С следующего сумматора (рисунок 3). | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *42* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | 12нс |
| 12нс |  | 12нс |  | 12нс |  | 12нс |  | 12нс |  | 12нс |  | 12нс |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Рисунок 3 – Соединение сумматоров  Для увеличения разрядности счетчика инверсные выходы ≥15 и ≤0 необходимо соединить со входами +1 и -1 следующего счетчика. Схема подключения микросхема ИЕ7 представлена на рисунке 4.  1  ЛН1 04  y3(сброс) 03  D10.3 1  ЛН1 06  y6(+1) 05  D10.3 00 15 D0 Q 03 10  01 01 CT 1  1 02 10 D1 ИЕ7 2 02 11  ЛН1 03 09 D2 06 12  y24(-1) 09 08 D3 4  11 WR 8 07 13  D10.4 05 +1  y8(запись) 1 1 04 -1 CR 12  ЛЛ1 3 14 R D62 BR 13  2 D11.1  04 15 D0 Q 03  05 01 D1 CT 1 14  1 & 06 10 D2 ИЕ7 2 02 15  ЛИ1 07 09 4 06 16  3 D3  11 07  2 А WR 8 p7 D12.1 05 +1  04 -1 CR 12  14 R D63 BR 13  1  ЛН1  13 12  В  D10.6  Рисунок 4 – Схема подключения ИЕ7 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *43* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Временная диаграмма работы счетчика ИЕ7 представлена на рисунке 5.    Рисунок 5 – Временная диаграмма работы счетчика ИЕ7  Для отлавливания ситуации, когда модуль разности порядков больше либо равен 23, было рассмотрено 3 различных варианта. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *44* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Первый вариант – использование сумматора для отлова данной ситуации. Схема с его использованием представлена на рисунке 6.  nCT0 10 A0  nCT1 08 A1 SM1  nCT2 03 A2 09  1 nCT3 01 S0  CT7 01 ЛН1 02 11 A3 ИМ6 S1 06  07 B0 S3 02  L0 02 B1 S3 15  D1.1 L0 16 B2 CO 14  L1 B3  L0 13 CI D60 01  &  ЛИ1 03 <=-23  nCT4 10 A0 02  nCT5 08 A1 SM1 D2.1  nCT6 03 A2 09 &  nCT7 01 A3 ИМ6 S0 06 04 ЛИ1 06 >=23  11 B0 S1 02  L0 07 S3 05  L1 02 B1 S3 15 D2.2 L1 B2  L1 16 B3 CO 14  13 CI D61  Рисунок 6 – Схема с использованием сумматора Второй вариант – использование компаратора, представленная на  рисунке 7.  nCT0 10 X0  nCT1 12 X1 COMP  nCT2 13 X2  nCT3 15  1 09 X3 СП1 X>Y 05  01 ЛН1 02 11 Y0 X=Y 06  14 Y1 X<Y 07  L1 Y2  D1.1 L0 01 Y3  L0 04 X>Y  L0 03 X=Y  L0 02 X<Y D69  01 &  ЛИ1 03 <=-23  nCT4 10 X0 02  nCT5 12 X1 COMP D2.1 nCT6 13 X2  nCT7 15 X3 СП1 05 04 & >=23  09 Y0 X>Y ЛИ1 06  L0 11 X=Y 06  L1 14 Y1 X<Y 07 05  L0 Y2 D2.2  L0 01 Y3  04 X>Y  03 X=Y  02 X<Y D70  Рисунок 7 – Схема с использованием компаратора  Третий вариант – использование комбинационной схемы из логических элементов, представленная на рисунке 8. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *45* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| СT7 01 1 CT5 04 1  ЛЛ1 03 ЛЛ1 06  CT6 02 05  CT4 01 D2.1 D2.2 09  & 1  ЛИ1 ЛЛ1  CT3 02 03 10 08 10 &  01 1 ЛИ1 08 <=-23  D4.1 D2.3 09  CT2 04 & 01 & 02 ЛЛ1 03  ЛИ1 06 ЛИ1 03 13 D5.3  CT4 05 02 13 1 D3.1 &  D4.2 D5.1 ЛЛ1 11 ЛИ1 11 >=23  CT1 10 & 04 & 12 12  1 ЛИ1 08 ЛИ1 06 D2.4 D5.4  CT0 01 ЛН1 02 09 05  D4.3 D5.2  D1.1 CT1 13 &  ЛИ1 11  CT0 12  D4.4  Рисунок 8 – Схема и использованием логических элементов  Для построения двух первых схем требуется 4 микросхемы, для третьей  – 5, поэтому далее будем выбирать их схемы с использованием компаратора и схемы с использованием сумматора. Потребляемый ток сумматора – 39мА, компаратора – 11мА. На основании этого делаем выбор в пользу компаратора и используем его при построении схемы.  Для увеличения разрядности компаратора нужно присоединить выходы  «X>Y», «X=Y», «X<Y» первого компаратора к соответствующим входам второго. Данное соединение показано на рисунке 9.  Потребляемый ток сумматора – 39мА, компаратора – 11мА. Так как потребляемый ток первой схемы меньше, поэтому выбрана схема с использованием компаратора. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *46* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Рисунок 9 – Соединение компараторов  При использовании АЛУ для увеличения быстродействия необходимо воспользоваться схемой ускоренного переноса ИП4, представлена на рисунке 10. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *47* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| y6 5 1 6 M  ЛЛ1  9 s0 06 S0  DD44.1 s1 05 S1 ALU  04 S2  1 1 3 s3 s3 03 S3 ИП3  M 08 M  ЛЛ1 02 A0 P 15  y10 2 23 A1 ALU G 17  DD44.2 21 A2  19 A3 14  y7 4 1 6 s1 01 B0 ИП3 X=Y 09  0  22 B1 1 10  ЛЛ1 20 B2 2 11  5 18 B3 3 13  DD44.3 cr 07 C0 D19(D25) C4 16  02 A0 P 15  9 1 8 s0 23 A1 ALU G 17 03 P0 P 07  21 A2 04 G0 CRU 10  ЛЛ1 19 A3 14 01 P1 G  10 01 B0 ИП3 X=Y 09 02  0 G1  DD44.4 22 B1 1 10 14 P2 ИП4 12  20 B2 2 11 15 G2 C1 11  1 18 B3 3 13 05 P3 C2 09  13 11 cr 07 C0 D20(D26) C4 16 06 G3 C3  M ЛН1 15 13  02 A0 P C0 D31(D45)  DD17.1 23 A1 ALU G 17  21 A2  19 A3 14  01 B0 ИП3 X=Y 09  0  22 B1 1 10  20 B2 2 11  18 B3 3 13  D21(D27) 16  07 C0 C4  02 A0 P 15  23 A1 ALU G 17  21 A2 14 03 P0 P 07  19 A3 ИП3 X=Y 09 04 G0 CRU G 10  01 B0 0 01 P1  22 B1 1 10 02 G1  20 B2 2 11 14 P2 ИП4 12  18 B3 3 13 15 G2 C1 11  D22(D28) 16 L1 05 C2 09  07 C0 C4 06 P3 C3  02 A0 P 15 L1 G3  23 A1 ALU G 17 13 C0 D32(D46)  21 A2  19 A3 14  01 B0 ИП3 X=Y 09  0  22 B1 1 10  20 B2 2 11  18 B3 3 13  07 C0 D23(D29) C4 16  02 A0 P 15  23 A1 ALU G 17  21 A2  19 A3 14  01 B0 ИП3 X=Y 09  0  22 B1 1 10  20 B2 2 11  18 B3 3 13  07 C0 D24(D30) C4 16 AF  Рисунок 10 – Схема подключения АЛУ ИП3 Без использования ИП4 скорость работы АЛУ:  Т = 𝑡Х,𝑌−С4 ∗ 11 + 𝑡Х,𝑌−𝐹 = 44 ∗ 11 + 34 = 518нс  ИП3 ИП3  С использованием ИП4:  𝑇 = 𝑡Х,𝑌−𝑃 + 𝑡0,1 ∗ 4 + 𝑡𝐶0−𝐶4 = 44 + 38 ∗ 4 + 34 = 230нс  ИП3 ИП4 ИП3 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *48* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Таким образом использование схему ускоренного переноса ИП4 позволило увеличить скорость работы АЛУ в 2.2 раз.  Поскольку используются выходы микросхемы КР533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R1рассчитывается по формуле:  *Eпит*  *U* 1 *Eпит*  *U* 0 , (1)  min min  *R*  max max  *N* \* *I* 1  *n I* 1 *I* 0  (*N*  1) \* *I* 0  *п* \* *I* 0  *ут* 1 *вх вых ут* 0 *вх*  где  𝐸пит – минимальное напряжение питания микросхемы;  𝑚𝑖𝑛  𝐸пит – максимальное напряжение питания микросхемы;  𝑚𝑎𝑥  𝑈0 – максимальное напряжение логического нуля;  𝑚𝑎𝑥  𝑈1 – минимальное напряжение логической единицы;  𝑚𝑖𝑛  𝐼0 , 𝐼1 – токи утечки логических нуля и единицы;  ут ут  𝐼0 , 𝐼1 – входные токи логических нуля и единицы;  вх вх  𝐼0 – выходной ток логического нуля;  вых  𝑁 – количество элементов с открытым коллектором. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *49* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал и количество подключаемых выходов с  открытым коллектором невелико, слагаемым (𝑁 − 1) ∗ 𝐼0 можно  ут  пренебречь. Ограничительное сопротивление можно рассчитать следующим образом:  *Eпит*  *U* 0  *R*1  max max , (2)  *I* 0  *n* \* *I* 0  *вых* 0 *вх*  *R*1  5,5*B*  0,5*B*  210*Oм* 24*мA*  2 \* 0,1*A*  Резистор был выбран из ряда Е6, R1=330 Ом. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *50* |
|  |  |  |  |  |
| *м.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| УГО некоторых микросхем представлены на рисунках 10-13.    Рисунок 10 – УГО микросхемы КР1533ЛЛ1    Рисунок 11 – УГО микросхемы КР1533ЛН1 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *51* |
|  |  |  |  |  |
| *м.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Рисунок 12 – УГО микросхемы КР1533ЛИ1    Рисунок 13 – УГО микросхемы КР1533ЛП5  В схеме присутствуют D-триггеры. Для реализации D-триггеров используется микросхема КР1533ТМ2. УГО данной микросхемы представлено на рисунке 14. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *52* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Рисунок 14 – УГО микросхемы КР1533ТМ2  По завершении операции результат выдаётся на шину. Для корректного формирования результата используется усилитель- формирователь. Данный элемент реализуется с помощью микросхемы КР1533АП5. УГО данной микросхемы представлено на рисунке 15.    Рисунок 15 – УГО микросхемы КР1533АП5 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *53* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 9 Расчет фильтра питания  Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр.  Требуется рассчитать количество и ёмкости двух видов конденсаторов:   * электролитического – необходимого для сглаживания пульсирующего тока; * керамического – необходимого для сглаживания напряжения.   Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле (3).  ∆𝑉  ∆𝐼 = 𝑁𝐶 ( ∆𝑡 ), (3)  где N – количество выходов микросхем; C – средняя емкость нагрузки выходов; ΔV – амплитуда выходного сигнала;  Δt – время переключения выходов.  Примем С = 10пФ, ΔV = 5.25В, Δt = 5нс, N = 404. Подставим в формулу и выполним расчеты  ∆𝐼 = 𝑁𝐶 (∆𝑉) = 404 ∗ 10 ∗ 10−12 ∗ ( 5.25 ) = 4.24А  ∆𝑡 5 ∗ 10−9  Рассчитаем максимально допустимый импеданс по формуле (4).  ∆𝑉п  𝑋𝑚𝑎𝑥 = ∆𝐼 , (4)  где ΔVп – допустимое напряжение помехи, равное 0.1В. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *54* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Для данного случая  ∆𝑉п 0.1  𝑋𝑚𝑎𝑥 = ∆𝐼 = 4.24 = 0.025 Ом.  Вычислим индуктивность разводки питания по формуле (5).  2𝐻  𝐿𝑝𝑠𝑤 = 4𝑋𝑙𝑛 ( 𝐷 ), (5)  где X – длина провода питания;  H – среднее расстояние между центрами проводов; D – диаметр жилы провода.  Примем X = 30см, Н = 5мм, D = 1мм. Подставив значения в формулу, найдем  2𝐻 2 ∗ 0.5  𝐿𝑝𝑠𝑤 = 4𝑋𝑙𝑛 ( 𝐷 ) = 4 ∗ 30 ∗ ln ( 0.1 ) = 276нГн  По формуле (6) найдем допустимую частоту помех.  𝑋𝑚𝑎𝑥  𝐹𝑝𝑠𝑤 = 2𝜋𝐿 (6)  𝑝𝑠𝑤  𝑋𝑚𝑎𝑥 0.025  𝐹𝑝𝑠𝑤 = 2𝜋𝐿 = 2 ∗ 3.1415927 ∗ 276 ∗ 10−9 = 13.9кГц  𝑝𝑠𝑤  По формуле (7) рассчитаем емкость электролитического конденсатора.  1  𝐶э = 2𝜋𝐹 𝑋 (7)  𝑝𝑠𝑤 𝑚𝑎𝑥  1 1  𝐶э = 2𝜋𝐹 𝑋 = 2 ∗ 3.1415927 ∗ 13.9 ∗ 103 ∗ 0.02 = 453мкФ  𝑝𝑠𝑤 𝑚𝑎𝑥  Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические конденсаторы малой емкости. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *55* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Для расчета данной емкости сначала найдем максимально допустимую индуктивность разводки питания по формуле (8).  𝑋𝑚𝑎𝑥 ∗ ∆𝑡  𝐿𝑡𝑜𝑡 = 𝜋 (8)  𝑋𝑚𝑎𝑥 ∗ ∆𝑡 0.02 ∗ 5 ∗ 10−9  𝐿𝑡𝑜𝑡 = 𝜋 = 3.1415927 = 0.031нГн  По формуле (9) рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением и по формуле (10) рассчитаем общую емкость керамических конденсаторов  𝑋𝑚𝑎𝑥  𝐹э𝑚𝑎𝑥 = 2𝜋𝐿 , (9)  э  где Lэ – индуктивность выводов конденсатора, равная 15нГн.  1  𝐶общ = 2𝜋 ∗ 𝐹 𝑋 (10)  э𝑚𝑎𝑥 𝑚𝑎𝑥  Подставив значения в формулы, получим  𝑋𝑚𝑎𝑥 0.02  𝐹э𝑚𝑎𝑥 = 2𝜋𝐿 = 2 ∗ 3.1415927 ∗ 15 ∗ 10−9 = 212.2кГц  э  1 1  𝐶общ = 2𝜋 ∗ 𝐹 𝑋 = 2 ∗ 3.1415927 ∗ 212.2 ∗ 103 ∗ 0.02 = 37,5мкФ  э𝑚𝑎𝑥 𝑚𝑎𝑥  Расчёт количества керамических конденсаторов  𝐿𝐶𝐾  𝑁 = , (11)  𝐿𝑡𝑜𝑡  где 𝐿𝐶𝐾 = 5нГн  𝐿𝐶𝐾 5  𝑁 = = = 162 конденсатора  𝐿𝑡𝑜𝑡 0,031 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *56* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| При расчете по формуле (11) необходимое керамических конденсаторов равно 162. Для определения окончательного числа данных конденсаторов следует воспользоваться правилом: на каждые 5 микросхем требуется 1 конденсатор. Так как микросхемы АЛУ имеют большее число переключений, необходимо установить на каждую микросхему по одному керамическому конденсатору.  Таким образом, общее количество требуемых керамических конденсаторов равно 48.  Отсюда емкость одного конденсатора:  𝐶общ 37,5 ∗ 10−6  𝐶𝑘 = 𝑁 = 48 = 0,77мкФ  Получившиеся емкости: 𝐶э = 453 мкФ, 𝐶𝑘 = 0,77мкФ.  Из ряда Е6 берем значение для электролитического конденсатора  𝐶э = 470мкФ . А для керамического конденсатора берем значение из ряда Е24 – 𝐶𝑘 = 0,82мкФ. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *57* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 10 Расчет длительности такта и разработка тактового генератора Схематически такт работы представлен на рисунке 16.  T1 T2 T3  Рисунок 16 – Такт работы T1 – время работы ОА;  T2 – время формирования логических условий; T3 – время работы УА;  Разработанной принципиальной схемы следует, что наибольшее время задержки в ОУ требуется для перезаписи данных из одного регистра в другой через АЛУ. Для определения данной задержки необходимо сложить время задержки КС управления АЛУ (t1), время задержки на АЛУ (t2) и время предустановки ИР13 (t3).  𝑡1 = 𝑡0,1 + 𝑡0,1 = 11нс + 14 = 25нс  ЛН1 ЛЛ1  𝑡2 = 𝑡𝐴,𝐵−𝑃 + 𝑡0,1 ∗ 4 + 𝑡𝐶0−𝐶4 = 44 + 38 ∗ 4 + 26 = 222 нс  ИП3 ИП4 ИП3  𝑡3 = 𝑡ИР13 = 22нс  Т1 = 16.5+222+22=269нс  Для повышения надежности время задержки Т1 необходимо увеличить на 10%. Конечное значение время задержки на ОУ равно 296нс. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *58* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Время Т2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал p13.  T2 = 𝑡зд.ИР13 + max(𝑡0,1 ; 𝑡0,1 ; 𝑡0,1 ) + max(𝑡0,1 + 𝑡0,1 ) + 𝑡0,1 =  ЛЕ11 ЛП5 ЛН1 ЛН1 ЛИ1 ЛЕ11  22+max(33;17;11) +max(11;14) + 33 = 22+33 +14 + 33 = 102нс  Для повышения надежности время задержки Т2 необходимо увеличить на 10%. Конечное значение время задержки при формировании осведомительного сигнала р13 равно 112нс.  Время Т3 определяется временем задержки на управляющем автомате.  КС состоит из трех слоев элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.  Т3 = 𝑡0,1 + 𝑡0,1 + 𝑡0,1 = 11 + 14 +18+14 = 57нс  ЛН1 ЛИ1 ЛЛ1  Общее время такта : Т = Т1 + Т2 + T3 = 296+ 112 + 57 = 465нс. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *59* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 11 Разработка тактового генератора  В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединяются в мультивибратор. Её подключение показано на рисунке 17.  L0 АГ3 Q 13  01 ST1 04  02 ST2  C1  C 14 R1 +5B  «Пуск» 03 R RC 15  L0 АГ3 Q 05 C   1. ST1 12 C 2. ST2   C2  L1 C 06 R2  11 07 +5B R RC  Рисунок 17 – Генератор  Для реализации тактового генератора требуется рассчитать номиналы С1, С2, R1, R2. Для расчета используются следующие формулы:  𝑡 = 0.45𝑅𝐶  где  *t* – время;  *С* – ёмкость;  *R* – сопротивление.  Время задержки на одновибраторах *t3* = 39 нс.  Время работы на первом одновибраторе *t1* = *Tоу* = 260.5 нс.  Время работы на втором одновибраторе *t2* = *Tp* + *Tуу* – 2\**t3* = 156–78 =  = 78 нс. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *60* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| *С1* выбирается из ряда Е24 равным 330пФ. *R1* рассчитывается по формуле:  *R*  *t* (14)  0,45*C*  Резистор выбирается из ряда Е6 сопротивлением 1.5 кОм.  *С2* выбирается из ряда Е24 равным 39 пФ. *R2* и рассчитывается по формуле (14). Резистор выбирается из ряда Е6 сопротивлением 4,7 кОм.  По формуле (13) повторно рассчитываются *t1* и *t2*: *t1* = 193нс;  *t3* = 77нс.  Получается, что генератор вырабатывает тактовый импульс с временем T = 270 нс.  Разработанная схема работает с частотой F = 1/T = 3.7 МГц Временные диаграммы тактового генератора представлены на  рисунке 18. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *61* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Q1  t  ~Q1  t  Q2  t3 t1 t3 t2 t3  t  ~Q2  t  Рисунок 18 – Временная диаграмма для генератора | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *62* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 12 Расчет быстродействия  Вероятности возникновения различных ситуаций при работе устройства представлены в таблице 6.  Таблица 6  Наименование Вероятность Операция умножения 0.1  Операция сложения модулей 0.4  Операция вычитания 0.3  Операция декремента 0.15  Операция НЕ-А ИЛИ B 0.05  ПРС в порядках 0.05  ПМР в порядках 0.05  Временное ПРС мантисс 0.5  Временное ПРС порядков 0.05  Операнд равен нулю 0.01  Модуль разности порядков >=23 0.4  Получение денормализованного числа 0.5  Потеря старшего разряда 0.5  Найдем среднее количество тактов для выполнения каждой операции. Граф-схема алгоритма операции деления представлена на рисунке 19. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *63* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  | | Начало A  0.05  X p5  0.95  А1 0.5  p6  0.5  p1 А10  0.99  А2  Z  X А12  out  А3  Конец  0.01  p1  0.99  А5 А4  null  0.05  p3  0.95  0.05  p5  0.95  А6  А9  А7  out  p0  0.5  0.5  p2  0.5  0.05  А8 p4  0.95  A  Рисунок 19 – Граф-схема операции умножения | | | | null |  |
|  | 0.01 | |  |
|  |  | | А11 |
| null |  | |  |
|  | 0.5 | |  |
|  |  | |  | |  |  | *ТПЖА.09.03.01.071ПЗ* | | *Лист*  *64* |
|  |  | |  | |  |  |
| *Изм.* | *Лист* | | *№ докум.* | | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| А1+0.01(А11+А12)+0.99(А2+А3+0.01(А4+А11+А12)+0.99(А5+0.05(А4+А11+ А12)+0.95(0.05(А4+А11+А12)+0.95(А6+А7+0.5\*23(А6+А7)+0.5(0.5(0.05(А4+ А11+А12)+0.5(А10+А12)+0.5(А12))+(0.5(0.05(А9)+0.95(0.05(А4+А11+А12)+0  .5(А10+А12)+0.5(А12)))))) = 27.132  Граф-схема алгоритма операций сложения модулей/вычитания представлена на рисунке 20. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *65* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  коп  А1  0.5  Сложение  0.5 0.5  Сложение 0.5  А14 А15  А2 А3  0.5  p1  0.5  X  0  p10 0.5  А4 0.5  p0 0.95  0.5 0.5 0.05 А16  p3 0.5  p9  А19 0.5 А17  А6 А5  А20 0.99  p2  0.1 0.01  p6 0.2 0.8 А  0.9 0.5 p2  0.5 p4  0.5 А18  p4 0.5 А21  А  0.6 0.6  p5 p5  0.4 0.4 out  А7 А8 p4 0.5  0.5  А9 А22  out  Z  0.01 А23  p8  0.99 коп  0.5 0.5 Конец  p4  0.5 0.5  p3 А10  А12 А11  0.95  p7  0.05  А13  Рисунок 20 – Граф-схема операций сложения модулей/вычитания  А1+А23+А4+А56+0.1(0.5(А21+А23)+0.5(А18))+0.9(0.5(0.6(0.99(0.5(А10)+0.5(  0.5(А12)+0.5(А11+0.05(А13))))+0.01(А1415)+0.5(А16+А17+0.01(А18)+0.99(0.  5(А22+А23)+0.5(А23)))+0.5(0.5(А16+А17+0.01(А18)+0.99(0.5(А22+А23)+0.5( А23))))+0.05(А19+0.5(А22+А23)+0.5(А23))+0.95(0.5(0.5(А23)+0.5(А22+А23))  +0.5(А20+0.2(А21+А23)+0.8\*50(А20)))))+(0.5(0.4(А7+0.5(А23)+0.5(А22+А23)  )))+0.5(0.4(А8+А9+0.5(А23)+0.5(А22+А23))+0.4(А8+А9+0.5(А22+А23)+0.5(А  23))+0.6(0.99(0.5(А10)+0.5(0.5(А12)+0.5(А11+0.05(А13))))+0.01(А1415)+ | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *66* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| +0.5(А16+А17+0.01(А18)+0.99(0.5(А22+А23)+0.5(А23)))+0.5(0.5(А16+А17+0. 01(А18)+0.99(0.5(А22+А23)+0.5(А23))))+0.05(А19+0.5(А22+А23)+0.5(А23))+  0.95(0.5(0.5(А23)+0.5(А22+А23))+0.5(А20+0.2(А21+А23))))))) = 17.267  Граф-схема алгоритма операции декремента с вероятностями перехода представлена на рисунке 21. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *67* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  0  1  А1  А2  А3  А4  А5  0.99  p3  0.01 0.1  p5 А  0.9  А6  0.5 0.5  p3  0.5 0.5  p2  А7  А8 А9  0.5 0.5  p7  А10 0.5  p6  0.5  0.8 А11  p1  0.2  0.5 А  А12 p1  0.5 0.5 p2  А13 0.5  А14  Z  А15  Конец  Рисунок 21 – Граф-схема операции декремента | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *68* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| А1+А2+А3+А4+А5+0.99(0.1(0.5(А14+А15)+0.5(А13+А14+А15))+0.9(А6+0.5\* 10(1)+0.5(А7+0.5(А10+0.8(А12)+0.2(А14+А15))+0.5(0.5(А14+А15)+0.5(А11+  0.5\*10(А11)+0.5(А13+А14+А15)))))) = 12.58  Граф-схема алгоритма операции НЕ-А ИЛИ B с вероятностями переходов представлена на рисунке 22. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *69* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  A1  A2  0.01  p0  0.99  null  0.5  p2  0.5 out  0.01  p3  0.99  A3  out  0.05 null  0.5 0.95  p4 p2  0.5  А4 А5  А6  Z  А7  Конец  Рисунок 22 – Граф-схема алгоритма операции НЕ-А ИЛИ B А1+А2+0.01(А5+А6+А7)+0.99(0.5(0.5(А4+А6+А7)+0.5(А6+А7))+0.5(0.  9\*10+0.1(0.05(А5+А6+А7)+0.95(0.5(А6+А7)+0.5(А4+А6+А7))))) = 9.2 | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *70* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Используя данные предыдущих вычислений найдем среднее число операций, выполняемых на АЛУ.  𝑁 = 𝑁𝑀𝑈𝐿 ∗ 0.1 + 𝑁𝐴𝑆 ∗ 0.4 + 𝑁𝐴𝑆 ∗ 0.3 + 𝑁𝐷𝐸𝐶 ∗ 0.15 + 𝑁𝐿 ∗ 0.05  = 27.13 ∗ 0.1 + 17.267 ∗ 0.4 + 17.267 ∗ 0.3 + 12.58 ∗ 0.15  + 9.2 ∗ 0.05 = 17.14  Отсюда число операций в секунду:  4.2 ∗ 106 оп  17.14 = 245040 [ с ]  13 Выбор разъема  Для подключения схемы необходимо 65 разряда под входные и выходные данные, два разряда для питания и заземления, 27 разрядов под управляющие сигналы, 18– под осведомительные сигналы и еще 8 разрядов под код операции, синхросигнал и флаги результата. Всего потребуется 127 разрядов.  В качестве разъема для подключения схемы был выбран разъем СНП34-135Р, имеющий разрядность 135 и имеющий ток на контакт 2А. Плата присоединяется при помощи шлейфов.  Внешний вид разъема представлен в приложении В. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *71* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Заключение  В ходе выполнения курсового проекта были разработаны функциональные схемы для операции умножения в дополнительном коде IV способом, сложения модулей, вычитания, декремента, НЕ-А ИЛИ B над числами с плавающей запятой с порядками. Разработаны граф-схемы алгоритмов для управления данными функциональными схемами. Разработана объединенная функциональная схема, а также граф-схема алгоритма. Разработана схема электрическая принципиальная на ТТЛ микросхемах. Для сглаживания скачков тока и напряжения был разработан фильтр питания и рассчитаны соответствующие номиналы конденсаторов. Был выбран тактовый генератор для генерации тактовых импульсов с рассчитанной длительностью. В результате получена схема, содержащая 73 микросхемы, с потребляемой мощностью 7 Вт. Среднее быстродействие – 245040 операций в секунду. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *72* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Список сокращений  АЛУ – арифметико-логическое устройство ГСА – граф-схема алгоритма  ДК – дополнительный код ОА – операционный автомат ОЧ – операционная часть ПК – прямой код  ПМР – потеря младших разрядов ПРС – переполнение разрядной сетки  СЧП – сумма частичных произведений ТТЛ – транзисторно-транзисторная логика УА – управляющий автомат  ФС – функциональная схема | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *73* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Библиографический список   1. Томчук М.Н. Лабораторный практикум по дисциплине “Схемотехниика ЭВМ” [Текст]/ Томчук М.Н. – издательство ВятГУ 2011. 62 с. 2. Справочник по стандартым цифровым ТТЛ микросхемам [Электронный ресурс] – Режим доступа [http://www.cqham.ru/kozak/ttl/ttlh01.htm,](http://www.cqham.ru/kozak/ttl/ttlh01.htm) свободный - Загл. с экрана. | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *74* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



ШИВх

Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножения

X[30]

D T5

X[31]

23 22

23 X[22:0] “0”

0

RG1

y1

X[31]

46 45

X[22:0]

23 22

0..0

0

y3

8

Х[30:23]

S1

y1 C 23

0 >0

y2

RG2 y2

46> 46 0

RG4

7 0

y3

23 a22b

23 0

KC1(1)

46 45

1 46

p1

0 a

KC2(=1)

7

S

7 0 S

KC4(=1)

S

P0

y7 S T1

Z

c

y0 R a &

46

KC3(&)

0 c a =1

c

b

CRP 7

7

A 0 7 B 0

SM2

S 0

Т S T2

CRP 46 A 0 46 B 0

SM1 y6

y5

СТ1

y6

y0 R

Sign

CR 46 S

0 “0”

p2 &

7 0 y0

7 6 0

w D T3 W

CR y4 p6

y4 C

y8 S T4

RG3

46 0 >0

y0

6

KC5(=1)

0

p6

6 0

KC6(1)

y0 R

PRS

=1

D T6

y2 C

46 45 45 23

p2

T

T

S 1

S1 1

V

V 1

& p4

&

&

p6

31 30 29

23 22 0

p3

&

y9 p6 V

=1

31 0

32

ШИВых 32

V

S & p5

&

S1

*Лист*



Приложение А

(Обязательное) Функциональные схемы отдельных операций

*ТПЖА.09.03.01.071ПЗ*

*75*

*Изм. Лист*

*№ докум.*

*Подпись Дата*

ШИВх

X[31]

Рисунок А.2 – Функциональная схема ОЧ АЛУ операций сложения модулей

и вычитания

X[31]

o

23 22

23 X[22:0]

0

y0

X[30]

8 Х[30:23]

y10

y9

p0 S T1

Z

D T6

D T7

y0

y3 R

S1

y5 C

>23 23

23

o

RG1

0

y2

y5 C

S2 СТ1 y7 =1 u

7 0 y8 p3

7 6 0

p3

“0”

p10

y5

=1

y5

p10

S T2

R

Sign

f

7 6 0

D T3

CR

23

KC1(=1)

0 one

o

=1

y14

one

7

KC3(=1)

0 u 6

KC5(1)

0 y11

y1

y0

C

S T4

R

PRS

M

one

&

u p7 p8

CRP 23

CR

f p10

A 0 23 B 0

SM1

23 S 0

“0”

CRP 7 A 0 7 B 0

SM2

7 S 0

p2

p4

p10

s1 p1

1

1

1

y3

y3

o

СТ2 y11 p3

>23 23

22

RG2 y4

0 >0 y6

y5

0

“0”

7 0

7 6 0

p4

y12

y13

p4 1 i

=1

S2

& p6

23 22 M

p10

7 6 0

6

0 p4 =1

22

p9

=1

p10

0

KC2(1)

7

KC4(=1)

p4 p4 i

0

p4 i

p4

“1” “0”

KC6(1)

p8

7 A 0 7 B 0

p0

f

31 30

M

23 22

0

y15

==

A>B

P5



*ТПЖА.09.03.01.071 ПЗ*

*76*

*Изм. Лист*

*№ докум.*

*Подпись Дата*

31 0

32

ШИВых 32

*Лист*

ШИВх

Рисунок А.3 – Функциональная схема ОЧ АЛУ операции декремент

X[31] 23 X[22:0] y4

X[31] 8 8

23 22 0

y0

y1

Х[30:23]

Х[30:23]

RG1 D T6

СТ1

y4 y2 S1 y0

y1

y10

=1 23> 23

0 >0

y3 y1 C

СТ2 y1 7 0

23 7 0 y12 7 6 0

y11

p2

CRP 23 A

0 23 B 0

6 0 0

out 7

“0010110” 6 0

7 0

SM1

6 0 7 A 0 7 B 0

KC1(1)

S1

q =1

CR 23 S 0

0

w

y5

KC2(1)

==

A>B

p3

p5

>23 23

23 22

q

y6 y7(L)

0 >0 y8

RG2

0

p1

S1

&

p0 D T1 p7

1

q

Z

y0 C

q =1 p6

22 0

q S T2

q 1 R

w

Sign p2

p4

&

p3

KC2(1)

y13

D T3

CR

C

y9

p0 y2

S T4

R

PRS

p1

31 30

out

22

0

y14



*ТПЖА.09.03.01.071ПЗ*

*77*

*Изм. Лист*

*№ докум.*

*Подпись Дата*

31 0

32

ШИВых 32

*Лист*

X[31]

Рисунок А.4 – Функциональная схема ОЧ АЛУ операции НЕ-А ИЛИ B

23

ШИВх

23 X[22:0]

22

X[31]

0

y1

0

23 X[22:0]

8 Х[30:23]

y5

# RG1

23 0

СТ1 y1

=256 7 0 y6

y7

6

0

23 A

23 22 0

0 23 B 0

p3 p1 7

p0 D T1

y0 C

q S T2

q

1

Z

Sign

# КС1(1)

23 S 0 0

y2

RG2 y3

6

# KC4(=1)

0 p1

R

f

S T3

y0 R

S T4

y0 R

CR

PRS

23

23 22

q

q =1

0 >0

0

p2

y4

22 0

# KC3(1)

p0

f p1

31 30 29

23 22 0

y9



*ТПЖА.09.03.01.071ПЗ*

*78*

*Изм. Лист*

*№ докум.*

*Подпись Дата*

31 0

32

ШИВых 32

*Лист*

ШИВх

X[31]

Рисунок А.5 – Объединенная функциональная схема

X[31]

23 22

23 X[22:0] “0”

0

y17

X[31]

h

46 45

X[22:0]

23 22

0..0

0

X[30]

8

Х[30:23]

D T6

y2 y1

D T5

y20

y16 C

SS1

23

RG1

0 >0

RG2

46> 46 0

y3

y4 y16 C

СT1 y18

7 0 y19

y3

S1

23 22

p3 b

23

KC1(1)

0

y11

=1

46 45

p16 RG2\_45

46

KC2(=1)

y5 =1

0 p16

p14 7 6 0

“0”

7 6 0

KC4(=1)

6 0

KC5(1)

p16

P0

h

1 p1

y7

CRP 46 A

0 46 B

0 y6(A+B)

7

ctrl2

0 ctrl2

p14 p4

=1

p12 1

D T1

RG2\_45

y7(A-B-1)

y10(notA or B)

ALU

CRP 7

A 0 7 B 0 S1

SM1

=1

& p5

Z p3 =1

CR 46 S 0

p15

y9

inRG

y26 inRG

C

D T2

Sign

p2

b

p14

inRG

1

ALU\_cr

“0”

y12

7 S 0

p7

y12

y21

p14

y24

=1 ctrl2

y26 C f

p7 &

y13

RG3 y14

СТ2 y22

ALU\_cr

D T3

CR

& p8(ПРС порядков)

46

44 23

0 >0

y15

7 0

7 6 0

y23

p7 1

~p7

y25

p8

C

D T4

PRS

S1

p14

1

S1

1 & p9(ПМР)

46 45

p15

RG45 =1

N 21

p7

“0”

7 6 0

0 0

p7

p11

&

p6

y26 C

p15

7 p7

p7

SS1 1

p15

1

p17

1 p12

KC3(1)

KC6(=1)

6 0

KC7(1)

p6

1 1

p16

“p7,p7,~p7,p7,~p7,1,0”

7 0

& f 7 A 0 7 B 0

p15

&

p13

1

N

p13

31 30

RG45

2322 21

0

y8

==

A>B

p10

31 0



*ТПЖА.09.03.01.071ПЗ*

*79*

*Изм. Лист*

*№ докум.*

*Подпись Дата*

32

ШИВых 32

*Лист*

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | null | Приложение Б (Обязательное)  Содержательные схемы алгоритмов  Начало A  0 1 1 19  X p5  1 2 0  RG1[23:0]:=X[31].X[22:0] 0 20 null  T1:=X[30] y1 p6  RG2[46:23]:=X[31].X[22:0]  RG2[22:0]:=00..00 1 21 T1:=1  RG4[7:0]:=X[30:23] y3 T3:=SM1cr  CT1[7:0]:=CT1[7:0]-1 y6  CT1[7:0]:=00..00  T2:=0 y0  T4:=0 22  Z  0  1 3 1 23  p1  0 4 Z[31]=T3  Z[30]=CT1[7] y9  SM2a[7:0]=RG4[7:0] Z[29:23]=KC5[6:0]  SM2b[7:0]=CT1[7:0] Z[22:0]=RG3[45:23]  SM2crp=RG4[7] y5  CT1[7:0]:=SM2s[7:0]  out  0 5 Конец  X  1 6  RG2[46:23]:=X[31].X[22:0]  RG2[22:0]:=00..00 y3  RG4[7:0]:=X[30:23]  7 1  p1  0 9 8  SM2a[7:0]=RG4[7:0] CT1[7:0]:=00..00  SM2b[7:0]=CT1[7:0] y5 T2:=0 y0 SM2crp=RG4[7] RG3[46:0]:=00..00  CT1[7:0]:=SM2s[7:0]  10 null  p3  0 1  11  p5  1 18  0  12 T2:=1 y8  SM1a[46:0]=RG3[46:0]  SM1b[46:0]=KC3[46:0]  SM1crp=с&a y4  RG3[46:0]:=SM1s[46:0] out  T3:=T6  13  RG1:=L1(RG1).0  RG2:=RG2[46].R1(RG2) y2  T6:=RG3[46]  14  0 p0  1  15 1  p2  0  16 17 1  CT1[7..0]:=CT1[7:0]-1 p4  RG3:=L1(RG3).0 y6 0  A  Рисунок Б.1 – Содержательная схема алгоритма умножения | | | | y7  y4 |  |
|  |  |  | |  |  | *ТПЖА.09.03.01.071 ПЗ* | | *Лист*  *80* |
|  |  |  | |  |  |
| *Изм.* | *Лист* | *№ докум.* | | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  0  1 коп  RG1[23:0]:=X[31].X[22:0] 1  CT1[7:0]:=X[30..23] y0  T6:=X[31] Сложение  T7:=X[30] y5 0  RG2[23:0]:=00..00 y3  T1:=0 SM2a = KC3[7..0] SM2a = KC3[7..0]  SM2b = CT2[7..0] y11 SM2b = CT2[7..0] y11  0 1 SM2crp = u SM2crp = u  Сложение CT2[7..0] = SM2s[7..0] CT2[7..0] = SM2s[7..0]  SM1a = KC1[23..0] SM1a = KC1[23..0] y14 SM1b = RG2[23..0] y4 SM1b = RG2[23..0] y4  RG2[23..0] := SM1s[23..0] RG2[23..0] := SM1s[23..0]  y4  1  p1  y11 0  1  p10  0  p0  X  0 1  1 T2 := not(p10) y5  1  CT2 := 0 y3 p9  RG1[23:0]:=X[31].X[22:0] y0 RG2 := 0 RG2[23..0] = f.R1(RG2) y6 CT1[7:0]:=X[30..23] 0  CT2 = CT2+1 y13  RG2[23..0] := L1(RG2).0 y5  0 1 CT2 := CT2-1 y12 0 1  p3 p2  1 0 А  SM2a = KC3[7..0] y11 SM2a = KC3[7..0] p2  SM2b = CT2[7..0] SM2b = CT2[7..0] y11  CT2[7..0] = SM2s[7..0] y9 CT2[7..0] = SM2s[7..0] RG2 := 0 T4 := 1 y1  CT2 := 0 y3  1  p6  out  0 0  0  0 1 p4 p4  p4  1 1  А  0 1 CT2 := CT2-1 y12  p5 p5  1 0  0  SM2a = KC3[7..0] CT2 := 0 y3 Z  SM2b = CT2[7..0] y11 RG2 := 0  SM2crp = u 1  CT2[7..0] = SM2s[7..0] SM2a = KC3[7..0]  SM2b = CT2[7..0] y11 Z[31]=f  SM2crp = u Z[30:23]=KC4[7:0] y15  CT2[7..0] = SM2s[7..0] Z[22:0]=RG2[22:0]  SM1a = KC1[23..0] y4 SM1b = RG2[23..0]  SM1crp = one RG2[23..0] = SM1s[23..0]  out Конец  1  p8  0  коп  0 1  p4  0 1  p3 y13  CT2 := CT2+1  RG1[23..0] = p1.R1(RG1) y2  CT2 := CT2-1 y12 CT2 := CT2-1 y12 CT1 := CT1+1 y8 CT1 := CT1-1 y7 RG2[23..0] = sign.R1(RG2) y6 RG2[23..0] = sign.R1(RG2) y6  0 p7  1  CT1 := 0 y10  Рисунок Б.2 – Содержательная схема алгоритмов сложения модулей и вычитания | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *81* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| SM1a = KC1[23..0] | |  | | SM1a = KC1[23..0] | |
| SM1b = KC7[23..0]  SM1crp = one | | y4 | | SM1b = KC7[23..0]  SM1crp = one | |
| RG2[23:0]:= SM1s[23..0] | |  | | RG2[23:0]:= SM1s[23..0] | |
| SM2a = KC3[7..0] | | y14 | | SM2a = KC3[7..0] | |
| SM2b = CT2[7..0] | |  | | SM2b = CT2[7..0] | |
| SM2crp = u  CT2[7..0] := SM2s[7..0] | | y11 | | SM2crp = u CT2[7..0] := SM2s[7..0] | |
|  |  | | | |  |
|  | | |  | | |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  0  1  RG1[23:0]:=X[31].X[22:0]  CT1[7:0] := X[30..23] y1  CT2[7:0] := X[30..23]  T6 := X[31] y5  RG2[23:0]:= 00..00  SM1a[23:0] = RG1[23:0]  SM1b[23:0] = RG2[23:0] y6  RG2[23:0] := SM1s[23:0]  RG1:=0 y0  RG1[23..0] = 1.R1(RG1) y4  y2  y3  RG2 := L1(RG2).1 y4  0  p3  1  1  p5 А  0  CT2:=0 y14  1  p3  0 1  SM1a = RG1[23:0] p2  SM1b = RG2[23:0] y6  RG2[23:0] := SM1s[23:0] y13  1 0 CT1 := CT1 – 1 y10 CT1 := CT1 – 1 y10 p7 RG1[23..0] = 1.R1(RG1) y3 RG2[23..0] =(S1 or RG2[23]).R1(RG2) y8 CT2 := CT2+1 y11 CT2 := CT2+1 y11  1  RG2 := 1.R1(RG2) y8  CT2 := CT2 + 1 y11 p6  0  RG2 := L1(RG2).0 y7  1 p1 CT2 := CT2 - 1 y12  0  А  T4 := 1 y9 0  T1 := p0 y0 p1 1  1 p2  RG2 := 0 y14 0  CT2 := 0 y5  T1 := p0  T2 := RG2[23] y0  T3 :=SM1cr  0  Z  1  Z[31]=f Z[30:23]=CT2[7:0]  Z[22:0]=RG2[22:0] y14  Конец  Рисунок Б.3 – Содержательная схема алгоритма операции декремент | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *82* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Начало  X  0  1  RG1[23:0]:=X[31].X[22:0]  CT1[7:0]:=X[30..23] y1 T1:=X[30]  RG2[23:0]:= 00..00 y2  y3  p0  0  null  1  p2  0  out  1  p3  0  RG2 := L1(RG2).0 y4  CT1 := CT1 - 1 y6  1  p2  out 0  null  0  p4  1 RG2[23:0]:= 0 y2  CT1 := 0 y5  CT1:=CT1-1 y6  T1 := p0  T2 := RG2[23]  T3 := 0 y0  T4 := 0  T5 := 0  Z  0  1  Z[31]=f  Z[30:23]=CT1[7].KC4[6:0] y9  Z[22:0]=RG2[22:0]  Конец  Рисунок Б.4 – Содержательная схема алгоритма операции НЕ-А ИЛИ B | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *83* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |
| --- | --- |
| КС1a[23:0] = RG1[23:0]  КС1b[23:0] = X[31].X[22:0]  RG2[23:0] := КС1s[23:0] | |
| 1 |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Умножеие | | ~A or B | Декримент | | | | Начало  X  0  1  T4:=0  RG1[23:0]:=X[31].X[22:0]  RG2[46:23]:=X[31].X[22:0] CT1[7:0]:=X[30:23] T5:=X[30]  RG3[46:0]:= 0  CT2[7:0]:=0  КОП  1  ALUa[46:0]=KC2[46:0] y5 ALUb[46:0]=RG3[46:0] y6 RG3[46:0]:=ALUs[46:0] y13  SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0 y21  y1 y20  y11  y4  y19 y4 | y0  y17 y3  y16  y12  Сложение \ Вычитание  0 1  p16  Вычитание 0  ALUa[46:0]=KC2[46:0] y6 ALUa[46:0]=KC2[46:0] ALUb[46:0]=RG3[46:0] ALUb[46:0]=RG3[46:0]  RG3[46:0]:=ALUs[46:0] y13 RG3[46:0]:=ALUs[46:0]  SM1a[7:0]=KC4[7:0] SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0] SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0] y21 CT2[7:0]:=SM1s[7:0  0  X  1  RG2[46:23]:=X[31].X[22:0]  RG2[23:0]:=0 y3  CT1[7:0]:=X[30:23]  L2 |  |  |  |
| L0 | | L1 | 0 | | | |  |  |  |
|  | |  | p16 | | | |  |  |  |
|  | |  |  | | | | 1(да) |  |  |
|  | |  | ALUa[46:0]=KC2[46:0] y6 | | | |  |  |  |
|  | |  | ALUb[46:0]=RG3[46:0] | | | |  |  |  |
|  | |  | RG3[46:0]:=ALUs[46:0] y13 | | | |  |  |  |
|  | |  | SM1a[7:0]=KC4[7:0] | | | |  |  |  |
|  | |  | SM1b[7:0]=CT2[7:0] | | | |  |  |  |
|  | |  | CT2[7:0]:=SM1s[7:0] y21  RG2:=0  CT1:=0 | | | | y7 y13  y21 | ALUa[46:0]=KC2[46:0] ALUb[46:0]=RG3[46:0] RG3[46:0]:=ALUs[46:0]  SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0 | y5 y6 y13  y21 |
|  | |  | RG2[46:0] := h.R1(RG2) | | | |  |  |  |
|  | |  | RG2[46:0] := h.R1(RG2) | | | |  |  |  |
|  | |  | CT1:=CT1+1 | | | |  |  |  |
|  |  |  | | |  |  | *ТПЖА.09.03.01.071ПЗ* | | | | | *Лист*  *84* |
|  |  |  | | |  |  |
| *Изм.* | *Лист* | *№ докум.* | | | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0  null | L0  1  p1  0  null 0  X  1  RG2[46:23]:=X[31].X[22:0] y1 RG2[23:0]:=0  1  p1  null 0  0  p14  1  SM1a[7:0]=KC4[7:0] y24 SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0] SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0] y21 CT2[7:0]:=SM1s[7:0] y21  1 0  p5  p7 1  p2  1  prs 0 1  p3  ALUa[46:0]=KC2[46:0] ALUa[46:0]=KC2[46:0]  ALUb[46:0]=RG3[46:0] ALUb[46:0]=RG3[46:0]  RG3[46:0] := ALU1s[46:0] y6 RG3[46:0] := ALU1s[46:0]  T3:=ALU\_cr y25 T3:=ALU\_cr  RG1:=L1(RG1).0  RG2:=h.R1(RG2)  p0  1  p13  0  CT2:=CT1-1  RG3:=L1(RG3).0  p11  1  null | | | |  |  | L1  0 1  p16  ALUa[46:0]=KC2[46:0] y5 ALUa[46:0]=KC2[46:0]  ALUb[46:0]=RG3[46:0] ALUb[46:0]=RG3[46:0] y6 RG3[46:0]:=ALUs[46:0] y6 RG3[46:0]:=ALUs[46:0] y13 SM1a[7:0]=KC4[7:0] y13 SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0] SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0] y21 CT2[7:0]:=SM1s[7:0 y21  0  X  1  RG2[46:23]:=X[31].X[22:0]  RG2[23:0]:=0 RG2[46:23]:=X[31].X[22:0] y3  CT1[7:0]:=X[30:23]  1  p16  0  ALUa[46:0]=KC2[46:0] ALUa[46:0]=KC2[46:0]  ALUb[46:0]=RG3[46:0] ALUb[46:0]=RG3[46:0]  RG3[46:0] := ALU1s[46:0] y10 RG3[46:0] := ALU1s[46:0]  y13  T3:=ALU\_cr y25 T3:=ALU\_cr  SM1a[7:0]=KC4[7:0] SM1a[7:0]=KC4[7:0]  SM1b[7:0]=CT2[7:0] y21 SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0 CT2[7:0]:=SM1s[7:0  rdy  1  p11  0  prs  rdy | y5 | |
|  | 0 | y10  y13 | |
|  |  | y25 | |
|  |  | y21 | |
| y7 |  |  | |
| y25 |  |  | |
| y2 |  |  | |
| y4 |  |  | |
| 0 |  |  | |
| 1 |  |  | |
| y22 |  |  | |
| y14 |  |  | |
| 0 |  |  | |
|  |  |  |  |  | *ТПЖА.09.03.01.071ПЗ* | | | | | *Лист*  *85* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | nrml | | 0 | L2  SM1a[7:0]=KC4[7:0] y24 SM1b[7:0]=CT2[7:0]  CT2[7:0]:=SM1s[7:0] y21  1(PRS)  p8  0 prs  1(PMR)  p9  0  null  0 1  p7  0  1  p10 p10  1(выдача 0(выдача  1-го) 2-го)  RG3:=0 y12  SM1a = KC4[7..0] CT2:=0  SM1b = CT2[7..0]  CT2[7:0] := SM1s[7:0] y21  SM1a = KC4[7:0]  SM1b = CT2[7:0]  CT2[7:0] := SM1s[7:0] y21  ALUa[46:0]=KC2[46:0] y6  ALUb[46:0]=RG3[46:0]  RG3[46:0] := ALU1s[46:0] y13  p6  rdy  0  1  p7  1  0 p16  CT2:=CT2+1 y23 0  RG2[46..0] := p16.R1(RG2) y15  1(да)  p14 Вычитание  1  0 0  y13  CT2 := CT2-1 y22 CT2 := CT2-1 y22 ALUa[46:0]=KC2[46:0] y21 ALUa[46:0]=KC2[46:0] y21 ALUa[46:0]=KC2[46:0] y21 CT1 := CT1-1 y18 CT1 := CT1+1 y19 ALUb[46:0]=RG3[46:0] y6 ALUb[46:0]=RG3[46:0] y5 ALUb[46:0]=RG3[46:0] y5  RG3[46:0] := ALU1s[46:0] y13 RG3[46:0] := ALU1s[46:0] y7 RG3[46:0] := ALU1s[46:0] y6  RG3[46:0] := sign.R1(RG3) y15 RG2[46:0] := sign.R1(RG2) y4 T3:=ALU\_cr y25 T3:=ALU\_cr y25 T3:=ALU\_cr y13  y25  0  p4 0 1(да)  + или -  1  0 1(да)  CT1 := 0 y20 -  0 1  p15 p17  1 0  T2:= p15 xor y9 y9  RG3[46:0] := sign.R1(RG3) y15  null CT2 := CT2+1 y23  0  p12  1 T2:= p15 xor y9 y9 1  CT2 := 0 RG3[46:0] := sign.R1(RG3) y15 prs p11 p13 1 RG3 := 0 y12 CT2 := CT2+1 y23  0 rdy  p11  RG3[46:0] := L1(RG3).0 y14 0 y0  CT2 := CT2-1 y22 T4:=1 y26  rdy  0  p11 p7  1  null CT2 := CT2-1 y22  T1:= ~p12 y0  T2:= p15 xor y9 y26 T4:=p8  Z  1  Z[31]=Sign Z[30:23]=KC6[7:0] y27 Z[22:0]=RG3[45:23]  Конец  Рисунок Б.5 – Объединенная ГСА | | | | |
|  |  |  | | |  |  | *ТПЖА.09.03.01.071ПЗ* | *Лист*  *86* |
|  |  |  | | |  |  |
| *Изм.* | *Лист* | *№ докум.* | | | *Подпись* | *Дата* |





|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Приложение В (Обязательное)  Внешний вид разъема СНП34-135Р    Рисунок В.1 – Схема расположения контактов    Рисунок В.2 – Внешний вид разъема | | | | | | |
|  |  |  |  |  | *ТПЖА.09.03.01.071 ПЗ* | *Лист*  *87* |
|  |  |  |  |  |
| *Изм.* | *Лист* | *№ докум.* | *Подпись* | *Дата* |



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Приложение Г (обязательное) Перечень элементов | | | | | | | | | | | | | | | | | |
| №строки | Формат | | Обозначение | | | | | | | Наименование | | | Кол. | | Приме- чание | | |
| 1 |  | |  | | | | | | | Резисторы | | |  | |  | | |
| 2 |  | | R1 | | | | | | | 330 Ом | | | 5 | |  | | |
| 3 |  | | R2 | | | | | | | 1кОм | | | 1 | |  | | |
| 4 |  | |  | | | | | | | Микросхемы | | |  | |  | | |
| 5 |  | | DD65-68 | | | | | | | К1533АП5 | | | 4 | |  | | |
| 6 |  | | DD9,DD10,DD53,DD54 | | | | | | | К1533ИЕ7 | | | 4 | |  | | |
| 7 |  | | DD1-DD3, DD11-DD16, DD33- DD38 | | | | | | | К133ИР13 | | | 15 | |  | | |
| 9 |  | | DD19-DD30 | | | | | | | К1533ИП3 | | | 12 | |  | | |
| 10 |  | | DD31,DD32, DD45,DD46 | | | | | | | К1533ИП4 | | | 4 | |  | | |
| 11 |  | | DD58,DD63,DD64 | | | | | | | К1533ТМ2 | | | 3 | |  | | |
| 12 |  | | DD51,DD52 | | | | | | | К555ИМ6 | | | 2 | |  | | |
| 13 |  | | DD43, DD61 | | | | | | | К1533ЛИ1 | | | 2 | |  | | |
| 14 |  | | DD8,DD17,DD62 | | | | | | | К1533ЛН1 | | | 3 | |  | | |
| 15 |  | | DD18, DD55,DD56,DD60 | | | | | | | К1533ЛП5 | | | 4 | |  | | |
| 16 |  | | DD4,DD39,DD44,DD59 | | | | | | | К1533ЛЛ1 | | | 4 | |  | | |
| 17 |  | | DD49 | | | | | | | КР1533ЛП16 | | | 1 | |  | | |
| 18 |  | | DD40,DD41 | | | | | | | К1533СП1 | | | 2 | |  | | |
|  |  | | DD5-DD7,DD40- DD42,DD50,DD57 | | | | | | | К1533ЛЕ11 | | | 9 | |  | | |
| 19 |  | |  | | | | | | | Разъем | | |  | |  | | |
| 20 |  | | XP1 | | | | | | | СНП34-135Р | | | 1 | |  | | |
| 21 |  | |  | | | | | | |  | | |  | |  | | |
| 22 |  | |  | | | | | | | Конденсаторы | | |  | |  | | |
| 23 |  | | C1 | | | | | | | 470мкФ | | | 1 | |  | | |
| 24 |  | | C2-C105 | | | | | | | 0.82мкФ | | | 48 | |  | | |
|  | |  | |  | |  | |  | | ТПЖА.09.03.01.071ПЭ3 | | | | | | | |
|  | |  | |  | |  | |  | |
| *Изм.* | | *Лист* | | *№ докум.* | | *Подп.* | | *Дата* | |
| *Разраб.* | | | | *Альмухаметов* | |  | |  | | Разработка | *Лит.* | | | *Лист* | | *Листов* | |
| *Пров.* | | | | *Мельцов* | |  | |  | | операционной части | Э |  |  |  | | 1 | |
| *Т.контр.* | | | |  | |  | |  | | арифметико- |  |  | Кафедра ЭВМ | | | |  |
| *Н.контр.* | | | | *Ростовцев* | |  | |  | | логического |  |  | Группа ИВТ-31 | | | |  |
| *Утв.* | | | | *Страбыкин* | |  | |  | | устройства |  |  |  | | | |  |
|  | | | | | | | | | | | | | | | | | |
|  |  | |  | |  | |  | | *ТПЖА.09.03.01.071 ПЗ* | | | | | | | | *Лист*  *88* |
|  |  | |  | |  | |  | |
| *Изм.* | *Лист* | | *№ докум.* | | *Подпись* | | *Дата* | |



Ведомость

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №строки | Формат | | Обозначение | | | | Наименование | | | | Кол-во листов | | № экз. | Примеч |
| 1 |  | |  | | | | Документация общая | | | |  | |  |  |
| 2 |  | |  | | | | Вновь разработанная | | | |  | |  |  |
| 3 |  | |  | | | |  | | | |  | |  |  |
| 4 | А2 | | ТПЖА09.03.01.071 Э2 | | | | Схема электрическая функциональная ОЧ АЛУ | | | | 1 | |  | Чертеж |
| 5 | А2 | | ТПЖА.09.03.01.071 КПЛ | | | | Граф-схема алгоритма содержательная объединенная | | | | 1 | |  | Плакат |
| 6 | А2 | | ТПЖА.09.03.01 Э3 | | | | Схема электрическая принципиальная ОЧ АЛУ | | | | 2 | |  | Чертеж |
| 7 | A4 | | ТПЖА.230100.62.038 ПЭ3 | | | | Перечень элементов | | | | 1 | |  |  |
| 8 | A4 | | ТПЖА. 09.03.01.071 ПЗ | | | | Пояснительная записка | | | | 88 | |  |  |
| 9 |  | |  | | | |  | | | |  | |  |  |
| 10 |  | |  | | | |  | | | |  | |  |  |
| 11 |  | |  | | | |  | | | |  | |  |  |
| 12 |  | |  | | | |  | | | |  | |  |  |
| 13 |  | |  | | | |  | | | |  | |  |  |
| 14 |  | |  | | | |  | | | |  | |  |  |
| 15 |  | |  | | | |  | | | |  | |  |  |
| 16 |  | |  | | | |  | | | |  | |  |  |
| 17 |  | |  | | | |  | | | |  | |  |  |
| 18 |  | |  | | | |  | | | |  | |  |  |
| 19 |  | |  | | | |  | | | |  | |  |  |
| 20 |  | |  | | | |  | | | |  | |  |  |
| 21 |  | |  | | | |  | | | |  | |  |  |
| 22 |  | |  | | | |  | | | |  | |  |  |
| 23 |  | |  | | | |  | | | |  | |  |  |
|  | |  | |  |  |  | ТПЖА.09.03.01.071 ДКП | | | | | | | |
|  | |  | |  |  |  |
| *Изм.* | | *Лист* | | *№ докум.* | *Подп.* | *Дата* |
| *Разраб.* | | | | *Альмухаметов* |  |  | Разработка операционной части арифметико- логического устройства | *Лит.* | | | | *Лист* | | *Листов* |
| *Пров.* | | | | *Мельцов* |  |  | *Э* |  |  | |  | | *1* |
| *Т.контр.* | | | |  |  |  |  |  |  | Кафедра ЭВМ | | | |
| *Н.контр.* | | | | *Ростовцев* |  |  |  |  |  | Группа ИВТ-31 | | | |
| *Утв.* | | | | *Страбыкин* |  |  |  |  |  |  | | | |

УДК 004.4

Реферат

Альмухаметов М.И. РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА: ТПЖА.09.03.01.071 ПЗ:

Курс. проект / ВятГУ, каф. ЭВМ; рук. В.Ю. Мельцов - Киров, 2016. – Гр. ч. 4 л. ф.А2; ПЗ 88с., 6 табл., 2 источника, 4 прил.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ПОРЯДОК, ПРИНЦИПИАЛЬНАЯ СХЕМА, СЛОЖЕНИЕ МОДУЛЕЙ, ВЫЧИТАНИЕ, НЕ-А ИЛИ B, ДЕКРЕМЕНТ, УМНОЖЕНИЕ.

Объект исследования и разработки – операционная часть арифметико- логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с порядками, сложения модулей, вычитания, декримента, НЕ-А ИЛИ B.

Цель курсового проекта – синтезировать с наименьшими аппаратурными затратами операционную часть арифметико-логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с порядками, сложения модулей, вычитания, декремента, НЕ-А ИЛИ B.

Результатом работы является принципиальная схема арифметико- логического устройства.